

小型同期整流型降圧レギュレータ

ISL8002、ISL8002A、ISL80019、ISL80019A

ISL8002、ISL8002A、ISL80019、ISL80019A は高効率のモノリシック同期整流型降圧 DC/DC コンバータで、2.7V ~ 5.5V の入力電源から最大 2A の連続出力電流を生成できます。ピーク電流モード制御アーキテクチャを使用して、デューティ・サイクルが極めて低い場合でも動作が可能です。1MHz または 2MHz のスイッチング周波数で動作するため、負荷応答に優れ、使用するインダクタを小型化できます。安定性も抜群で、内部、外部両方の補償オプションを提供しています。

ISL8002、ISL8002A、ISL80019、ISL80019A は、効率を最大化するため、非常に低い $r_{DS(ON)}$ MOSFET を内蔵しています。さらに、ハイサイド MOSFET が PMOS であるため、ブート・コンデンサが不要になり、外付け部品点数が削減されます。出力電流が 2A でドロップアウト電圧が 200mV のとき、100% デューティ・サイクル (1MHz) で動作できます。

これらの製品は、軽負荷時の PFM (不連続導通) または PWM (連続導通) 動作のいずれかに対して構成できます。PFM は、軽負荷時のスイッチング損失を軽減することで高効率を達成します。PWM はノイズの影響の受けやすさと RF 干渉を緩和します。

これらの製品は、省スペースな 8 ピン 2mm × 2mm TDFN 鉛フリー・パッケージで提供され、熱性能を向上するためのエキスポーズド・パッドを備えています。コンバータ全体の面積は、0.10in² 未満に収まります。

特長

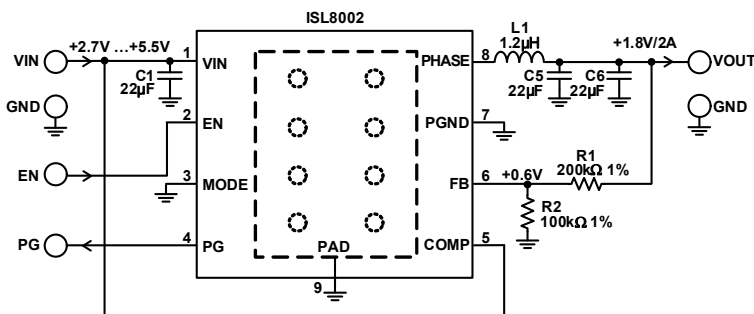
- V_{IN} 範囲 : 2.7V ~ 5.5V
- V_{OUT} 範囲 : 0.6V ~ V_{IN}
- 最大 I_{OUT} は 1.5A または 2A (3 ページの表 1 を参照)
- スwitching 周波数は 1MHz または 2MHz (3 ページの表 1 を参照)
- 内部または外部補償オプション
- PFM 動作または PWM 動作を選択可能
- 過電流保護と短絡保護
- 過温度 / 熱保護
- V_{IN} アンダーボルテージ・ロックアウトと V_{OUT} 過電圧保護
- 最大 95% のピーク効率

アプリケーション

- 汎用のポイント・オブ・ロード DC/DC
- セットトップボックスとケーブルモデム
- FPGA の電源
- DVD、HDD ドライブ、LCD パネル、テレビ

関連文書

- アプリケーションノート [AN1803](#) 「1.5A/2A Low Quiescent Current High Efficiency Synchronous Buck Regulator」を参照してください。



$$R_1 = R_2 \left(\frac{V_O}{V_{FB}} - 1 \right) \quad (式 1)$$

図 1. アプリケーション回路例 (内部補償オプション)

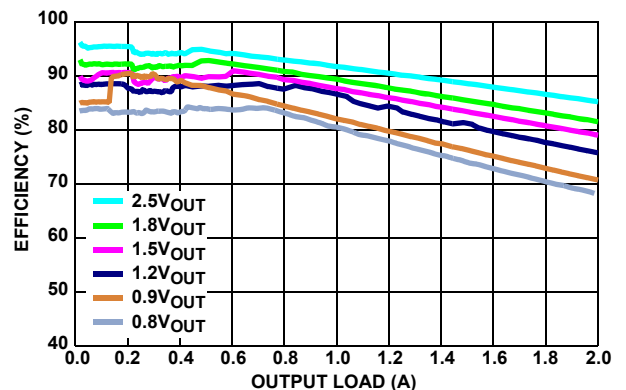


図 2. 効率 vs 負荷
 $F_{SW} = 1\text{MHz}$, $V_{IN} = 3.3\text{V}$, $\text{MODE} = \text{PFM}$,
 $T_A = +25^\circ\text{C}$

目次

ピン配置	4
ピンの説明	4
機能ブロック図	5
絶対最大定格	7
温度情報	7
推奨動作条件	7
電気的特性	7
性能特性曲線	9
動作原理	17
PWM コントロール方式	17
PFM モード	17
過電流保護	18
短絡保護	18
負電流保護	18
パワーグッド	18
アンダーボルテージ・ロックアウト	18
イネーブル、ディスエーブル、ソフトスタート	18
放電モード(ソフトストップ)	18
100% のデューティ・サイクル(1MHz バージョン)	18
サーマル・シャットダウン	19
アプリケーション情報	19
出力インダクタとコンデンサの選択	19
出力電圧の選択	19
入力コンデンサの選択	19
出力コンデンサの選択	19
ループ補償設計	19
レイアウトに関する考慮事項	21
改訂履歴	22
インターシルについて	22
パッケージ寸法図	23

ISL8002、ISL8002A、ISL80019、ISL80019A

表 1. 主な違いのまとめ

PART#	I _{OUT} (MAX) (A)	F _{SW} (MHz)	V _{IN} RANGE (V)	V _{OUT} RANGE (V)	PACKAGE SIZE
ISL80019	1.5	1	2.7 to 5.5	0.6 to 5.5	8 pin 2mmx2mm TDFN
ISL80019A	1.5	2			
ISL8002	2	1			
ISL8002A	2	2			

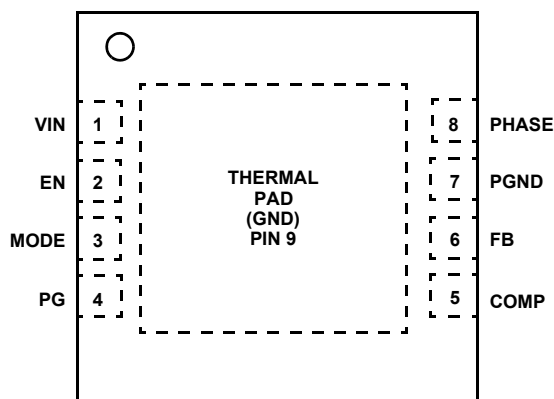
NOTE : 本データシートでは、表内の部品をまとめて「製品」と呼びます。

表 2. 部品の値の選択表

V _{OUT} (V)	C1 (μF)	C5, C6 (μF)	C4 (pF)	L1 (μH)	R1 (kΩ)	R2 (kΩ)
0.8	22	22	22	1.0~2.2	33	100
1.2	22	22	22	1.0~2.2	100	100
1.5	22	22	22	1.0~2.2	150	100
1.8	22	22	22	1.0~3.3	200	100
2.5	22	22	22	1.5~3.3	316	100
3.3	22	22	22	1.5~4.7	450	100

ピン配置

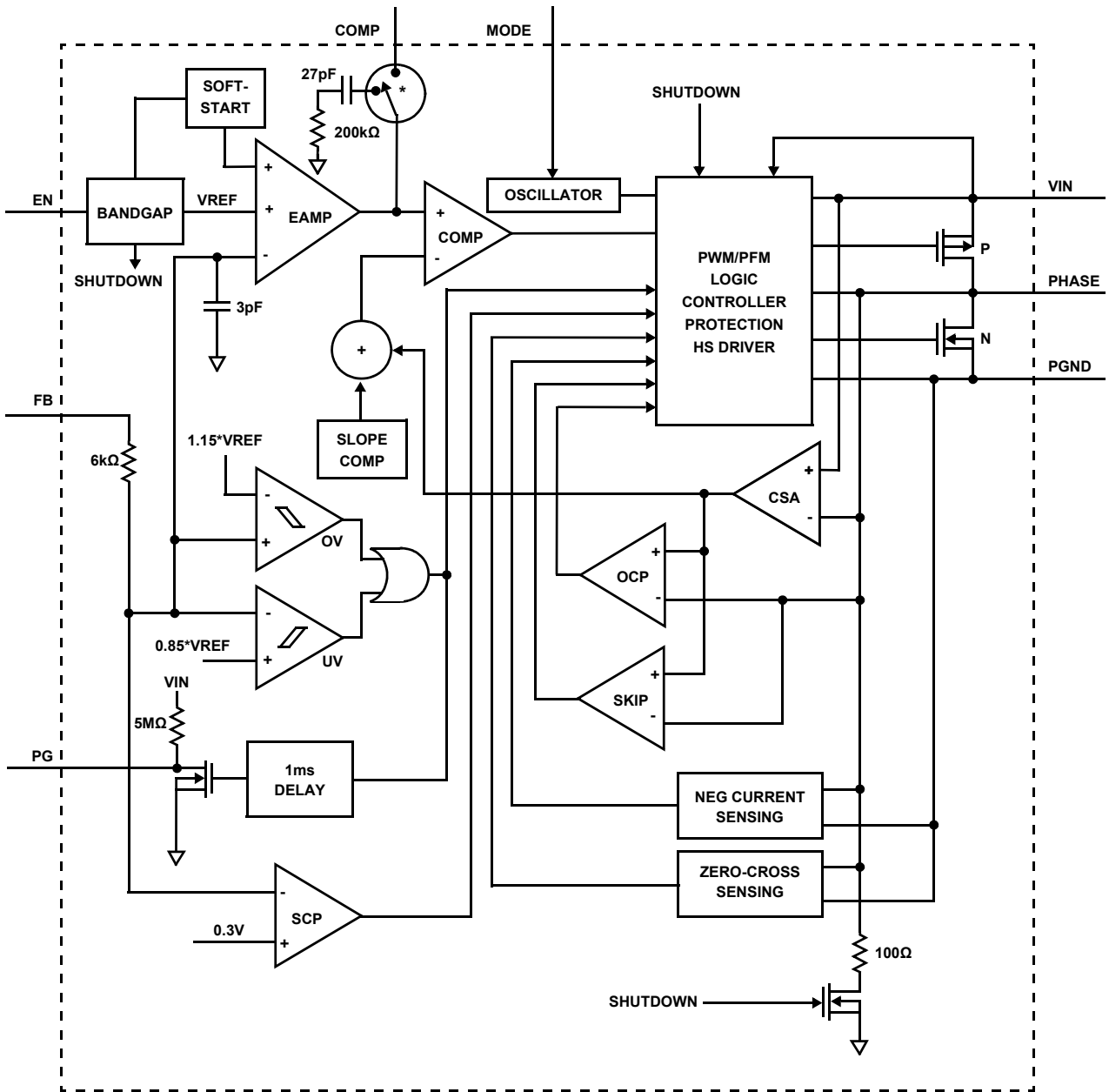
ISL8002、ISL8002A、ISL80019、ISL80019A
(8 LD 2x2 TDFN)
TOP VIEW



ピンの説明

ピン番号	名称	ピンの説明
1	VIN	PWM レギュレータの電力段用の入力電源と、IC に対してバイアスを提供する内蔵リニア・レギュレータのソース。デカップリングのため、最小 10 μ F のセラミック・コンデンサを VIN と GND の間、IC のできるだけ近くに配置してください。
2	EN	デバイス・イネーブル入力。このピンの電圧が 1.4V を上回ると、製品がイネーブルされます。このピンがグラウンドに接続されると、製品がディスエーブルされます。製品がディスエーブルされると、100 Ω 抵抗が PHASE ピンを通して出力を放電します。詳細については、図 3、5 ページの「機能ブロック図」を参照してください。
3	MODE	モード選択ピン。ロジック・ハイまたは入力電圧 VIN に接続すると、PWM モードになります。ロジック・ローまたはグラウンドに接続すると、PFM モードになります。MODE ピンがフロートになった場合にロジック状態が未定義になるのを防ぐ内蔵 1M Ω プルダウン抵抗が用意されていますが、このピンをフロートさせることは推奨しません。
4	PG	パワーグッド出力は、ソフトスタート中、もしくは出力電圧がレギュレーション範囲を下回った場合にグラウンドに接続されます。このピンには内蔵の 5M Ω 内部プルアップ抵抗が接続されています。
5	COMP	COMP は誤差アンプの出力。COMP が High で VIN に接続されている場合、内部補償です。COMP が直列抵抗とコンデンサで GND に接続されている場合、外部補償です。詳細については、19 ページの「ループ補償設計」を参照してください。
6	FB	レギュレータの帰還ピン。FB は電圧帰還誤差アンプの負入力です。出力電圧は、FB に接続された外付けの抵抗分割器で設定されます。さらに、Power Good PWM レギュレータのパワーグッド回路と低電圧保護回路は、FB を使用して出力電圧をモニタリングします。
7	PGND	電源およびアナログ・グラウンド接続。基板の GROUND プレーンに直接接続されています。
8	PHASE	出力電圧レギュレーションのための電力段スイッチング・ノード。出力インダクタに接続します。製品がディスエーブルされているとき、このピンは 100 Ω 抵抗によって放電されます。詳細については、図 3、5 ページの「機能ブロック図」を参照してください。
9	THERMAL PAD (T-PAD)	電源グラウンド。このサーマルパッドは、電力段電流およびスイッチング電流の戻り経路になるとともに、IC から基板へ熱を逃がすための熱経路になります。このパッドの PGND プレーンにサーマルビアを配置します。

機能ブロック図



* デフォルトでは、COMP が VIN に接続されると、27pF および 200kΩ RC ネットワークで電圧ループが内部補償されます。詳細については、4 ページ「ピンの説明」の表の「COMP」ピンを参照してください。

図 3. 機能ブロック図

ISL8002、ISL8002A、ISL80019、ISL80019A

注文情報

製品型番 (Note 1、2、3)	テープ & リール 数量	製品 マーキング	技術仕様	温度範囲 (°C)	パッケージ (鉛フリー)	パッケージの 外形図番号
ISL8002IRZ-T	1000	002	2A、1MHz	-40 ~ +85	8 Ld TDFN	L8.2x2C
ISL8002IRZ-T7A	250	002	2A、1MHz	-40 ~ +85	8 Ld TDFN	L8.2x2C
ISL8002AIRZ-T	1000	02A	2A、2MHz	-40 ~ +85	8 Ld TDFN	L8.2x2C
ISL8002AIRZ-T7A	250	02A	2A、2MHz	-40 ~ +85	8 Ld TDFN	L8.2x2C
ISL80019IRZ-T	1000	019	1.5A、1MHz	-40 ~ +85	8 Ld TDFN	L8.2x2C
ISL80019IRZ-T7A	250	019	1.5A、1MHz	-40 ~ +85	8 Ld TDFN	L8.2x2C
ISL80019AIRZ-T	1000	19A	1.5A、2MHz	-40 ~ +85	8 Ld TDFN	L8.2x2C
ISL80019AIRZ-T7A	250	19A	1.5A、2MHz	-40 ~ +85	8 Ld TDFN	L8.2x2C
ISL8002FRZ-T	1000	02F	2A、1MHz	-40 ~ +125	8 Ld TDFN	L8.2x2C
ISL8002FRZ-T7A	250	02F	2A、1MHz	-40 ~ +125	8 Ld TDFN	L8.2x2C
ISL8002AFRZ-T	1000	2AF	2A、2MHz	-40 ~ +125	8 Ld TDFN	L8.2x2C
ISL8002AFRZ-T7A	250	2AF	2A、2MHz	-40 ~ +125	8 Ld TDFN	L8.2x2C
ISL80019FRZ-T	1000	19F	1.5A、1MHz	-40 ~ +125	8 Ld TDFN	L8.2x2C
ISL80019FRZ-T7A	250	19F	1.5A、1MHz	-40 ~ +125	8 Ld TDFN	L8.2x2C
ISL80019AFRZ-T	1000	9AF	1.5A、2MHz	-40 ~ +125	8 Ld TDFN	L8.2x2C
ISL80019AFRZ-T7A	250	9AF	1.5A、2MHz	-40 ~ +125	8 Ld TDFN	L8.2x2C

NOTE :

1. リールの詳細仕様についてはテクニカル・ブリーフ「Tape and Reel Specification for Integrated Circuit ([TB347](#))」を参照してください。
2. これら鉛フリーのプラスチック・パッケージ製品には、専用の鉛フリー素材、モールド素材、ダイ・アタッチ素材を採用するとともに、端子には亜鉛 100%の梨地メッキとアニーリングを実施しています (RoHS 指令に準拠するとともに SnPb ハンダ付け作業と鉛フリー・ハンダ付け作業とも互換性のある e3 端子仕上げ)。インターシルの鉛フリー製品は鉛フリー・ピークリフロー温度で MSL 分類に対応し、この仕様は IPC/JEDEC J STD-020 の鉛フリー要件と同等か上回るものです。
3. 湿度感受性レベル (MSL) については [ISL8002](#)、[ISL8002A](#)、[ISL80019](#)、[ISL80019A](#) のデバイス情報ページを参照してください。MSL の詳細についてはテクニカル・ブリーフ [TB363](#) を参照してください。

ISL8002、ISL8002A、ISL80019、ISL80019A

絶対最大定格

VIN	-0.3V ~ 6V (DC) または 7V (20ms)
PHASE	-1.5V (100ns)/-0.3V (DC) ~ 6V (DC) または 7V (20ms)
EN、COMP、PG、MODE	-0.3V ~ VIN+0.3V
FB	-0.3V ~ 2.7V

推奨動作条件

VIN 電源電圧範囲	2.7V ~ 5.5V
負荷電流範囲	ISL8002(A): 0A ~ 2A ISL80019(A): 0A ~ 1.5A
ジャンクション温度範囲	-40 °C ~ +125 °C

注意：過度に長い時間にわたって最大定格点または最大定格付近で動作させないでください。そのような動作条件を課すと製品の信頼性に影響が及ぶ恐れがあるとともに、保証の対象とはならない可能性があります。

NOTE :

4. θ_{JA} は製品を放熱効率の高い「ダイレクト・アタッチ」機能対応の試験基板上に実装し、自由大気中で測定した値です。詳細については、テクニカル・ブリーフ [TB379](#) を参照してください。
5. θ_{JC} の測定における「ケース温度」位置は、パッケージ下面のエキスポーズド金属パッドの中心です。

電気的特性 特記のない限り、 $T_J = -40\text{ °C} \sim +125\text{ °C}$ 、 $V_{IN} = 2.7\text{ V} \sim 5.5\text{ V}$ です。代表値は $T_A = +25\text{ °C}$ のものです。
太字のリミット値は動作温度範囲 $-40\text{ °C} \sim +85\text{ °C}$ に対して適用されます。

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 6)	TYP	MAX (Note 6)	UNITS
INPUT SUPPLY						
VIN Undervoltage Lockout Threshold	V _{UVLO}	Rising, no load		2.5	2.7	V
		Falling, no load	2.2	2.4		V
Quiescent Supply Current	I _{VIN}	MODE = PFM (GND), F _{SW} = 2MHz, no load at the output		35	60	μA
		MODE = PWM (VIN), F _{SW} = 1MHz, no load at the output		7	15	mA
		MODE = PWM (VIN), F _{SW} = 2MHz, no load at the output		10	22	mA
Shut Down Supply Current	I _{SD}	MODE = PFM (GND), V _{IN} = 5.5V, EN = low		5	10	μA
OUTPUT REGULATION						
Feedback Voltage	V _{FB}		0.595	0.600	0.605	V
		T _J = -40 °C to +125 °C	0.589		0.605	V
VFB Bias Current	I _{VFB}	V _{FB} = 2.7V, T _J = -40 °C to +125 °C	-120	50	350	nA
Line Regulation		V _{IN} = V _O + 0.5V to 5.5V (minimal 2.7V) T _J = -40 °C to +125 °C	-0.2	-0.05	0.1	%/V
Load Regulation		See Note 7		< -0.2		%/A
Soft-Start Ramp Time Cycle				1		ms
PROTECTIONS						
Positive Peak Current Limit	I _{PLIMIT}	2A application	3	3.5	4	A
		1.5A application	2.1	2.5	2.9	A
Peak Skip Limit	I _{SKIP}	V _{IN} = 3.6, V _{OUT} = 1.8V (See "Applications Information" on page 19 for more detail)		450		mA
Zero Cross Threshold			-170	-70	30	mA
Negative Current Limit	I _{NLIMIT}		-2.3	-1.5	-1	A
Thermal Shutdown		Temperature rising		150		°C
Thermal Shutdown Hysteresis		Temperature falling		25		°C

温度情報

熱抵抗 (代表値、Note 4、5)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
2x2 TDFN パッケージ	71	7
ジャンクション温度範囲	-55 °C ~ +125 °C	
保存温度範囲	-65 °C ~ +150 °C	
鉛フリー・リフロープロファイル	以下の URL を参照 http://www.intersil.com/pbfree/Pb-FreeReflow.asp	

ISL8002、ISL8002A、ISL80019、ISL80019A

電気的特性 特記のない限り、 $T_J = -40\text{ }^\circ\text{C} \sim +125\text{ }^\circ\text{C}$ 、 $V_{IN} = 2.7\text{V} \sim 5.5\text{V}$ です。代表値は $T_A = +25\text{ }^\circ\text{C}$ のものです。
太字のリミット値は動作温度範囲 $-40\text{ }^\circ\text{C} \sim +85\text{ }^\circ\text{C}$ に対して適用されます。(続き)

PARAMETER	SYMBOL	TEST CONDITIONS	MIN (Note 6)	TYP	MAX (Note 6)	UNITS
COMPENSATION						
Error Amplifier Trans-Conductance		COMP tied VIN		40		$\mu\text{A/V}$
		COMP with RC		120		$\mu\text{A/V}$
Trans-Resistance	RT		0.24	0.3	0.40	Ω
LX						
P-Channel MOSFET ON-Resistance		$V_{IN} = 5\text{V}$, $I_O = 200\text{mA}$		117		$\text{m}\Omega$
N-Channel MOSFET ON-Resistance		$V_{IN} = 5\text{V}$, $I_O = 200\text{mA}$		86		$\text{m}\Omega$
LX Maximum Duty Cycle				100		%
LX Minimum On-Time		MODE = PWM (High) 1MHz		60	80	ns
OSCILLATOR						
Nominal Switching Frequency	F _{SW}	ISL8002, ISL80019	850	1000	1150	kHz
		ISL8002A, ISL80019A	1700	2000	2300	kHz
PG						
Output Low Voltage		1mA sinking current			0.3	V
Delay Time (Rising Edge)			0.5	1	2	ms
PGOOD Delay Time (Falling Edge)				15		μs
PG Pin Leakage Current		PG = VIN		0.01	0.1	μA
OVP PG Rising Threshold			110	115	120	%
OVP PG Hysteresis				5		%
UVP PG Rising Threshold			80	85	90	%
UVP PG Hysteresis				5		%
EN AND MODE LOGIC						
Logic Input Low					0.4	V
Logic Input High			1.4			V
Logic Input Leakage Current	I _{MODE}	Pulled up to 5.5V		5.5	8	μA

NOTE :

- MIN パラメータと MAX パラメータは、特記のない限り +25 °C で全数試験を行っています。温度リミットは特性評価によって得ており、製造時試験は行っていません。
- 製造時試験は行っていません。評価基板を使用して特性評価されています。図 12 ~ 14 のロード・レギュレーションの図を参照してください。+105 °C T_A は、ワーストケースに近い動作ポイントを示しています。

性能特性曲線

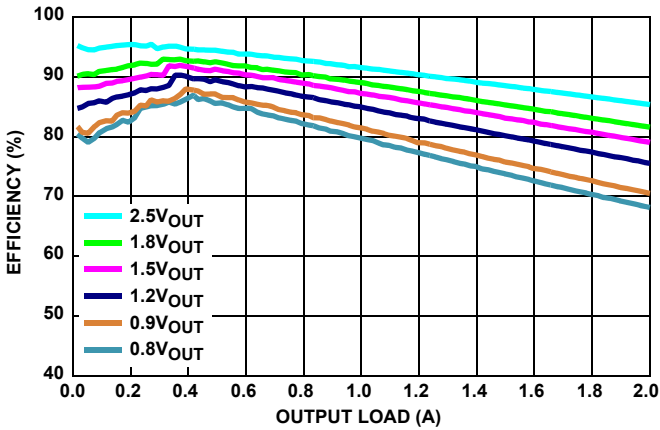


图 4. 效率 vs 負荷
 $F_{SW} = 2\text{MHz}$ 、 $V_{IN} = 3.3\text{V}$ 、MODE = PFM、 $T_A = +25^\circ\text{C}$

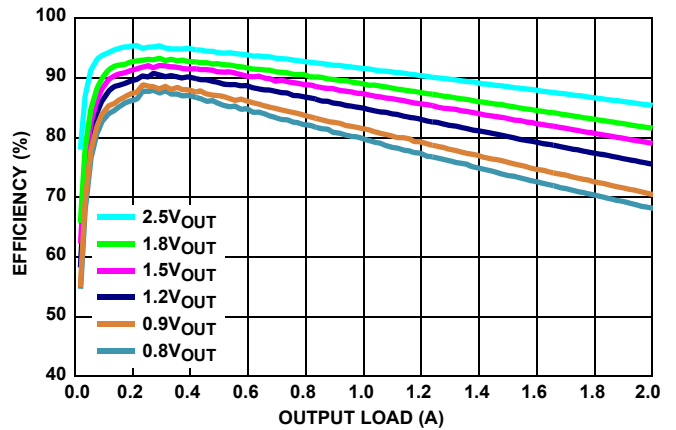


图 5. 效率 vs 負荷
 $F_{SW} = 2\text{MHz}$ 、 $V_{IN} = 3.3\text{V}$ 、MODE = PWM、 $T_A = +25^\circ\text{C}$

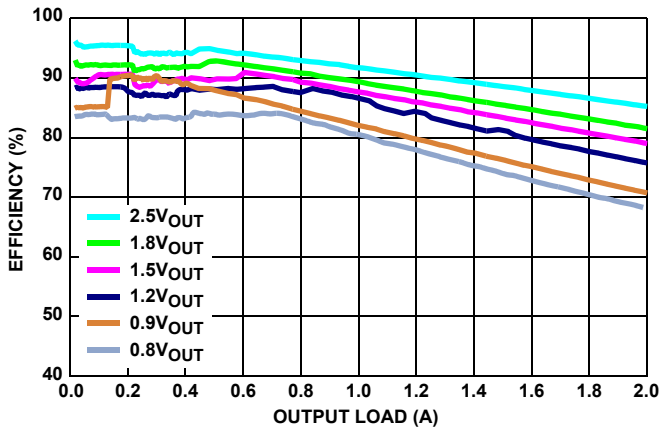


图 6. 效率 vs 負荷
 $F_{SW} = 1\text{MHz}$ 、 $V_{IN} = 3.3\text{V}$ 、MODE = PFM、 $T_A = +25^\circ\text{C}$

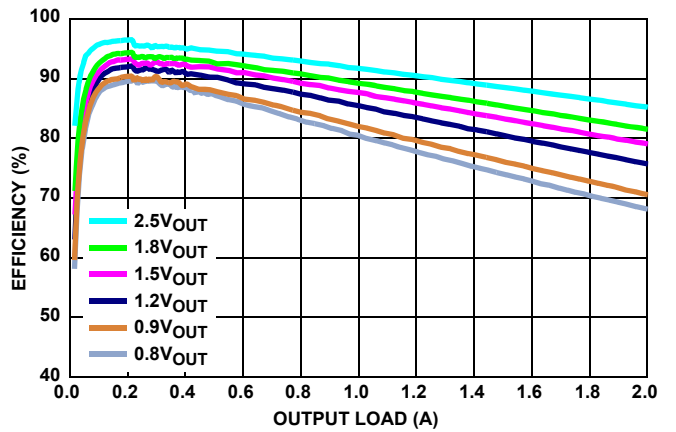


图 7. 效率 vs 負荷
 $F_{SW} = 1\text{MHz}$ 、 $V_{IN} = 3.3\text{V}$ 、MODE = PWM、 $T_A = +25^\circ\text{C}$

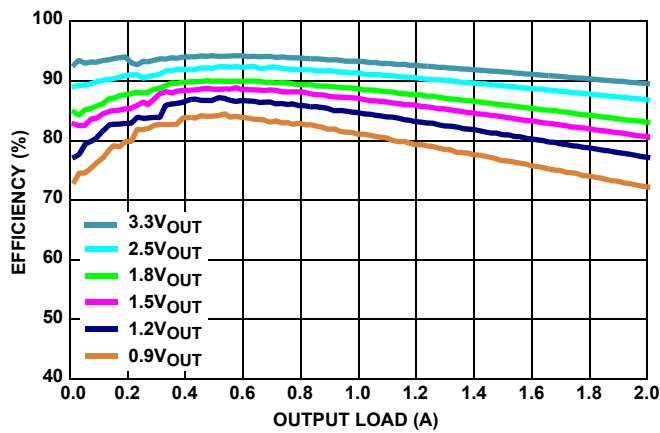


图 8. 效率 vs 負荷
 $F_{SW} = 2\text{MHz}$ 、 $V_{IN} = 5\text{V}$ 、MODE = PFM、 $T_A = +25^\circ\text{C}$

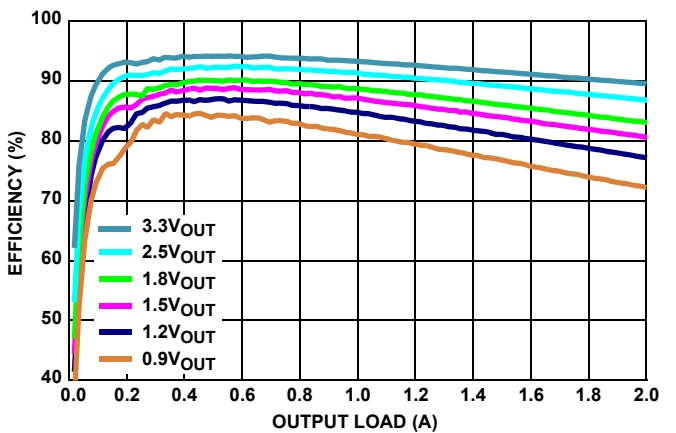


图 9. 效率 vs 負荷
 $F_{SW} = 2\text{MHz}$ 、 $V_{IN} = 5\text{V}$ 、MODE = PWM、 $T_A = +25^\circ\text{C}$

性能特性曲線 (続き)

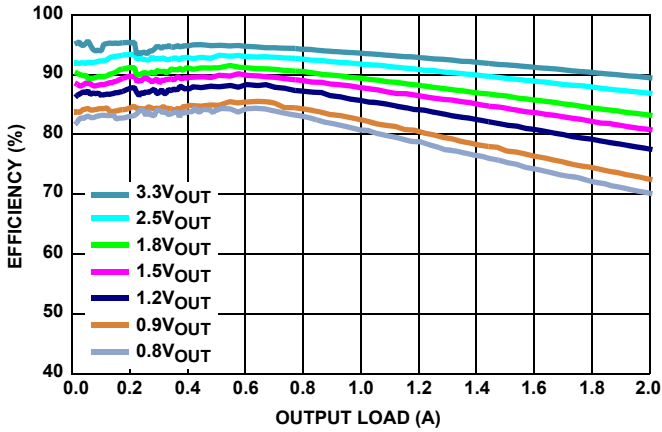


図 10. 効率 vs 負荷
 $F_{SW} = 1\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

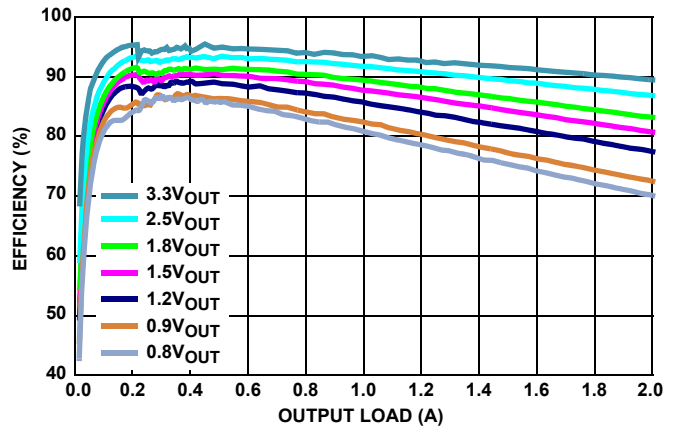


図 11. 効率 vs 負荷
 $F_{SW} = 1\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

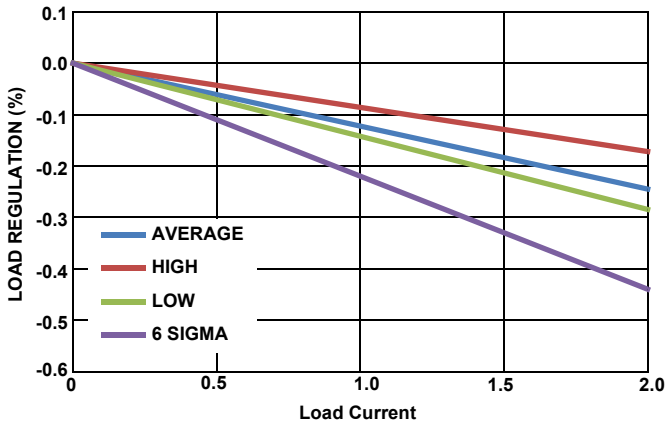


図 12. ロード・レギュレーション
 $T_A = +105^\circ\text{C}$, 2.7V_{IN} , 0.6V_{OUT} , 1MHz

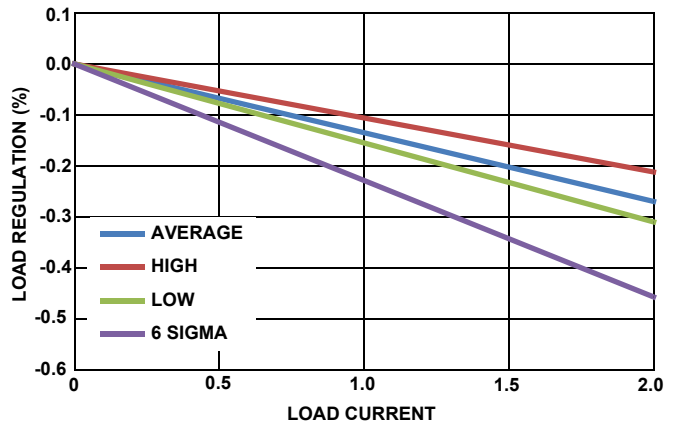


図 13. ロード・レギュレーション
 $T_A = +105^\circ\text{C}$, 3.3V_{IN} , 0.6V_{OUT} , 1MHz

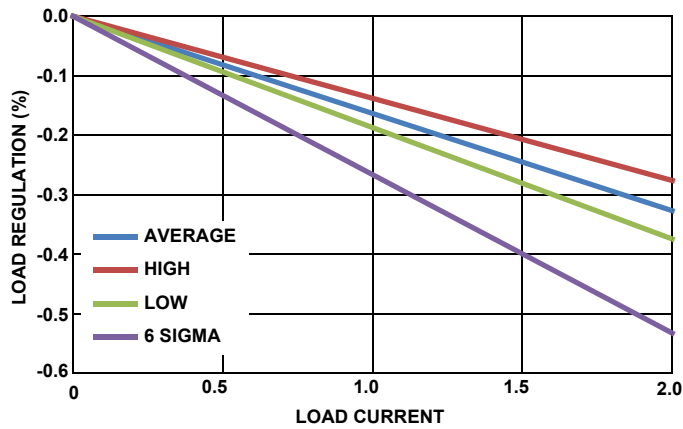


図 14. ロード・レギュレーション
 $T_A = +105^\circ$, 5.5V_{IN} , 0.6V_{OUT} , 1MHz

性能特性曲線 (続き)

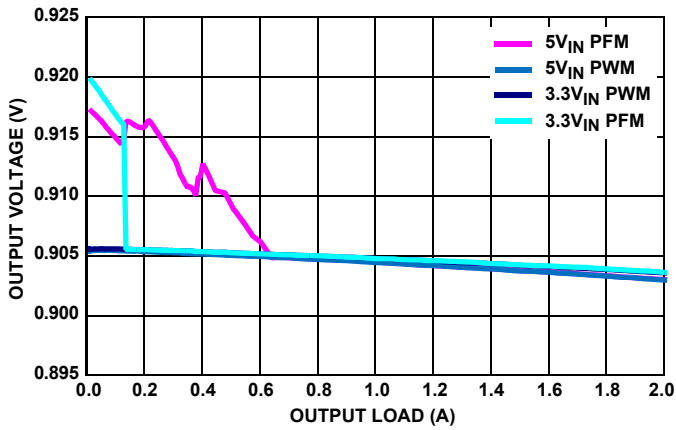


図 15. V_{OUT} レギュレーション vs 負荷
 $F_{SW} = 2\text{MHz}$, $V_{OUT} = 0.9\text{V}$, $T_A = +25^\circ\text{C}$

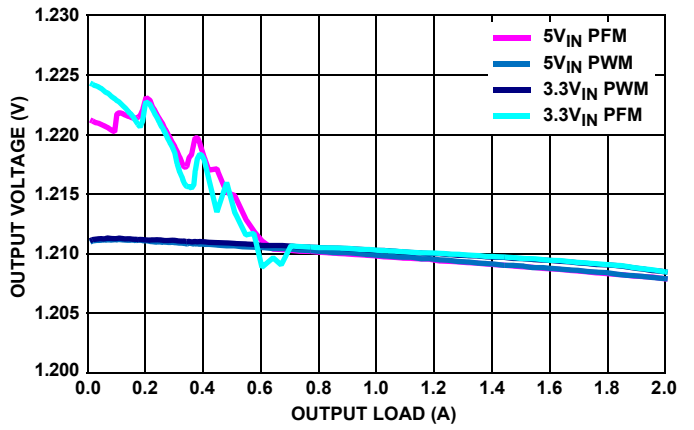


図 16. V_{OUT} レギュレーション vs 負荷
 $F_{SW} = 2\text{MHz}$, $V_{OUT} = 1.2\text{V}$, $T_A = +25^\circ\text{C}$

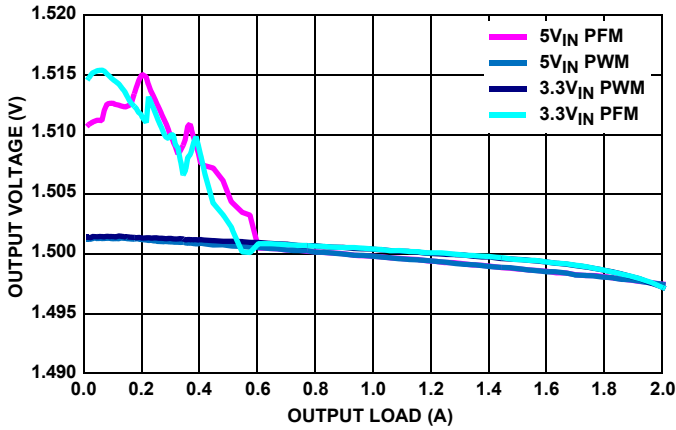


図 17. V_{OUT} レギュレーション vs 負荷
 $F_{SW} = 2\text{MHz}$, $V_{OUT} = 1.5\text{V}$, $T_A = +25^\circ\text{C}$

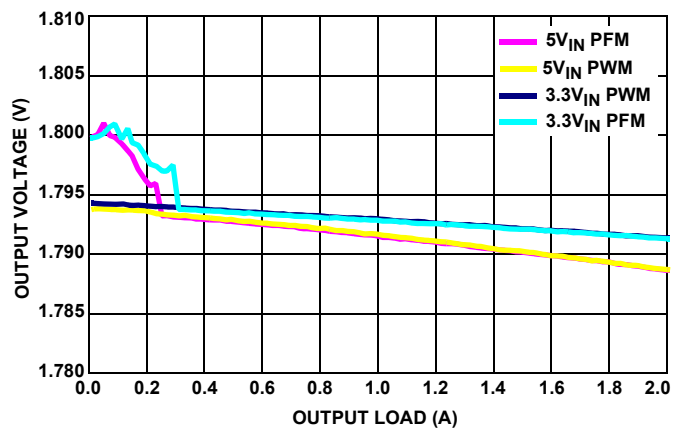


図 18. V_{OUT} レギュレーション vs 負荷
 $F_{SW} = 2\text{MHz}$, $V_{OUT} = 1.8\text{V}$, $T_A = +25^\circ\text{C}$

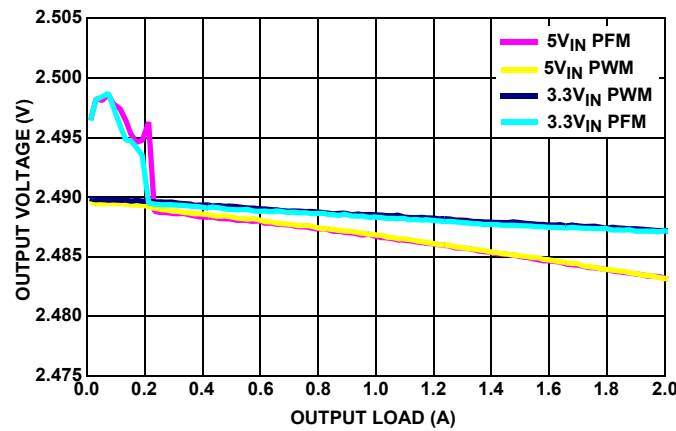


図 19. V_{OUT} レギュレーション vs 負荷
 $F_{SW} = 2\text{MHz}$, $V_{OUT} = 2.5\text{V}$, $T_A = +25^\circ\text{C}$

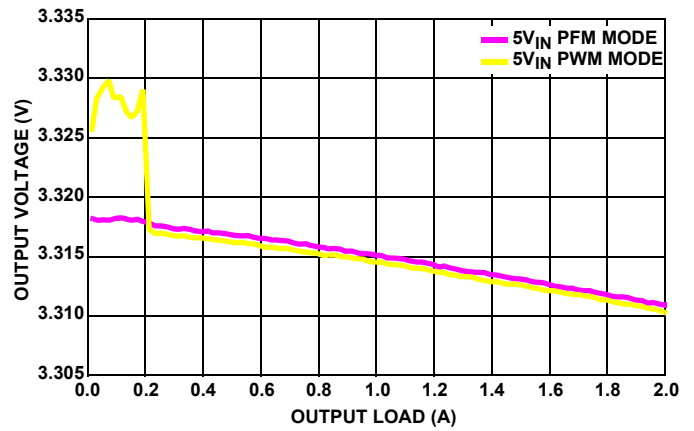


図 20. V_{OUT} レギュレーション vs 負荷
 $F_{SW} = 2\text{MHz}$, $V_{OUT} = 3.3\text{V}$, $T_A = +25^\circ\text{C}$

性能特性曲線 (続き)

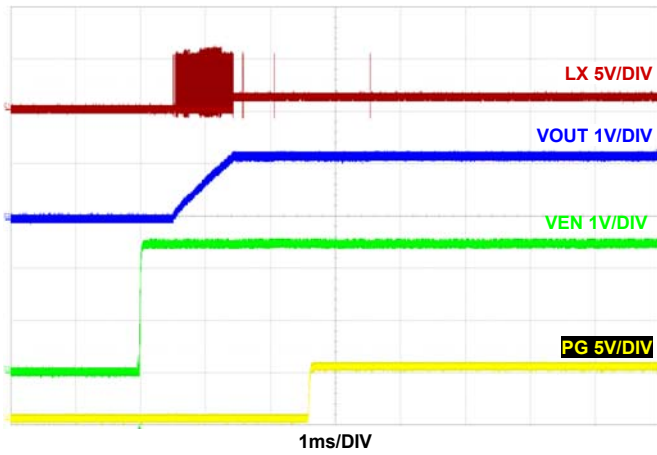


図 21. 無負荷時のスタートアップ
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

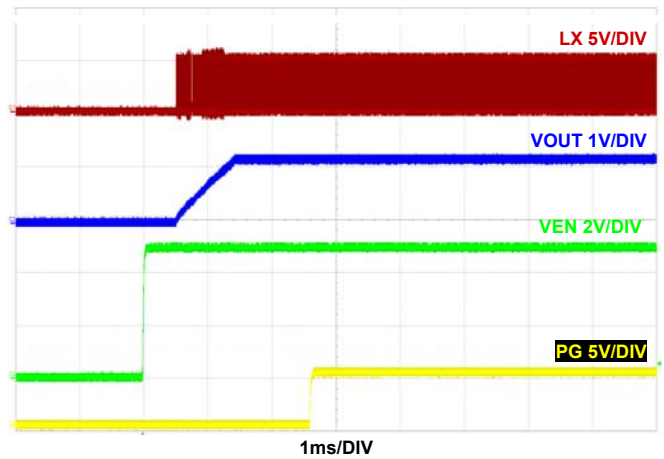


図 22. 無負荷時のスタートアップ
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

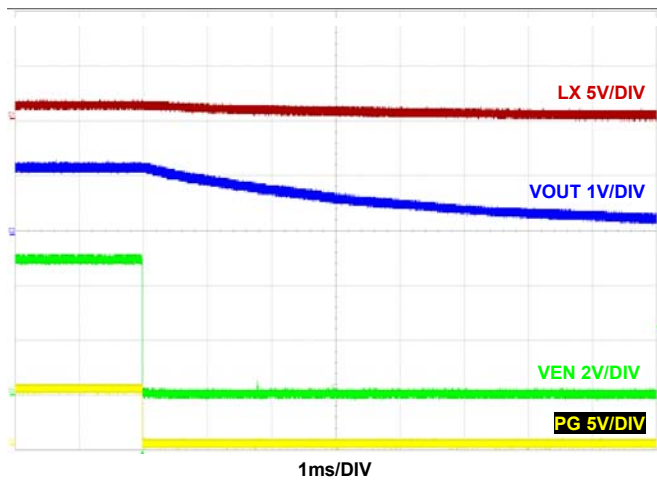


図 23. 無負荷時のシャットダウン
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

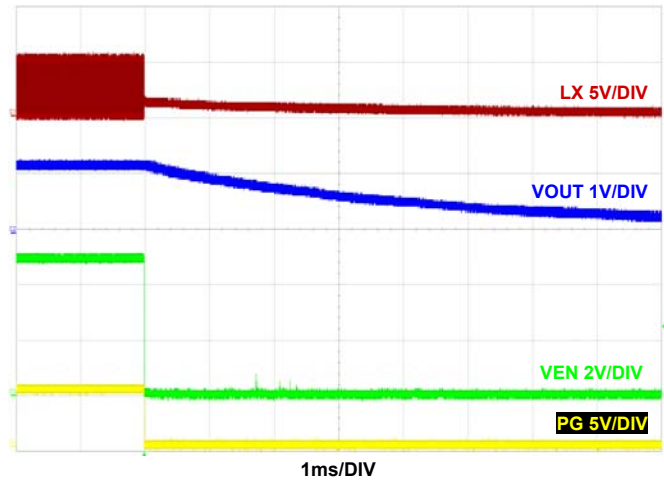


図 24. 無負荷時のシャットダウン
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

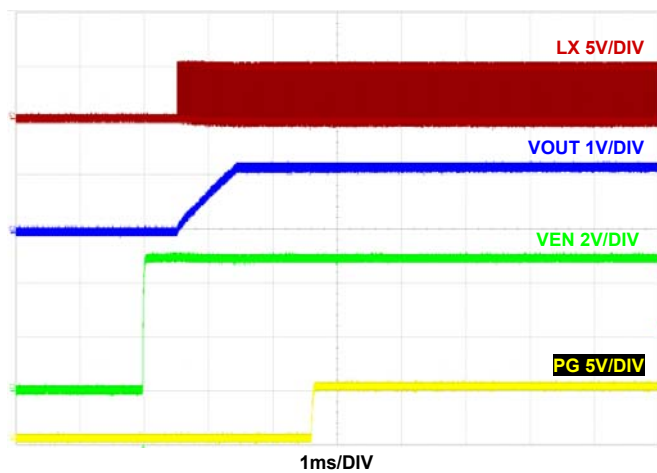


図 25. 2A 負荷時のスタートアップ
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

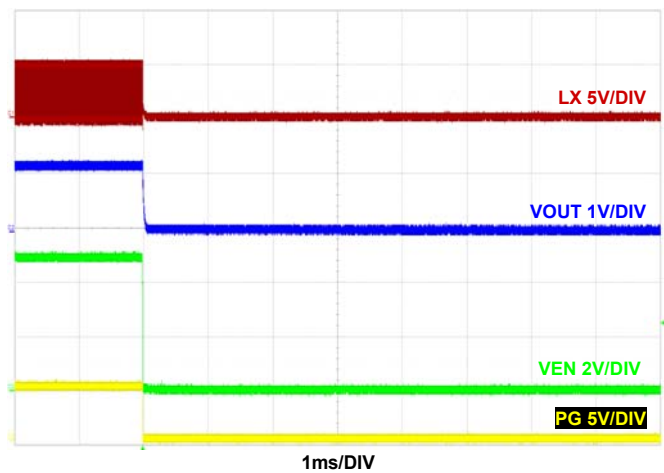


図 26. 2A 負荷時のシャットダウン
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

性能特性曲線 (続き)

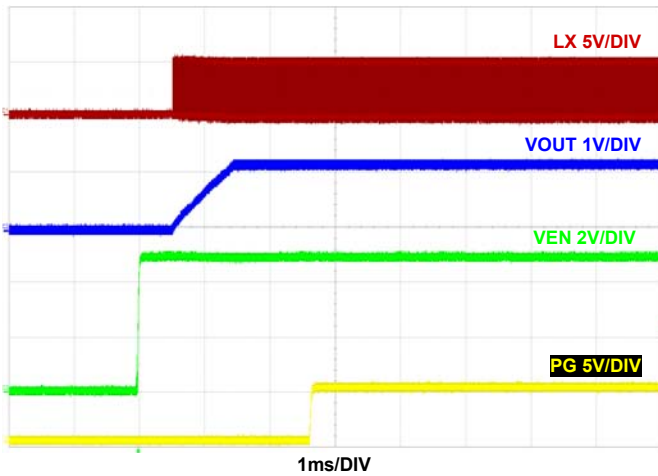


図 27. 2A 負荷時のスタートアップ
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

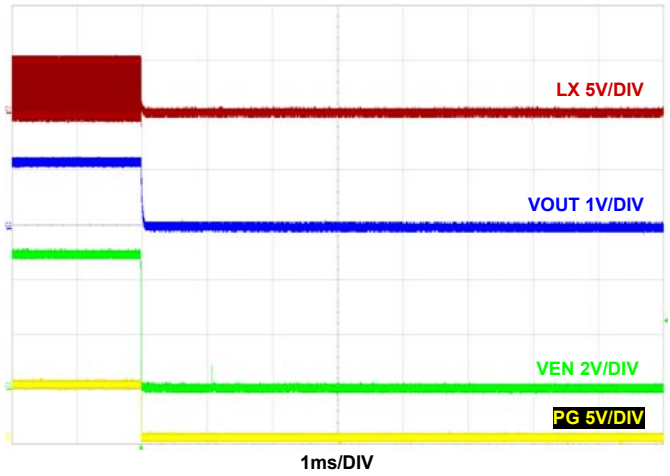


図 28. 2A 負荷時のシャットダウン
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

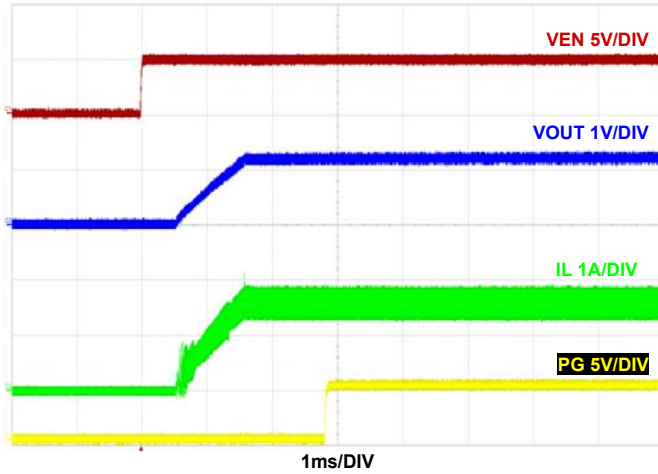


図 29. 1.5A 負荷時のスタートアップ
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

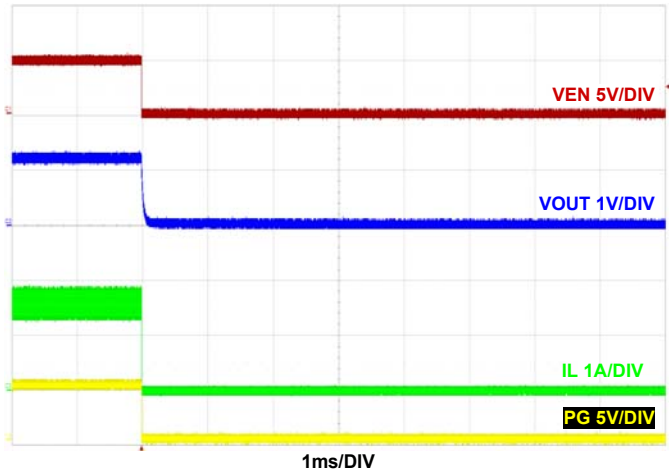


図 30. 1.5A 負荷時のシャットダウン
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

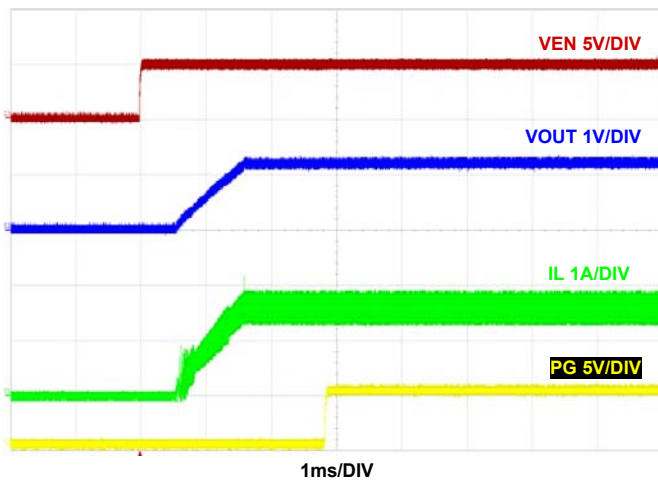


図 31. 1.5A 負荷時のスタートアップ
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

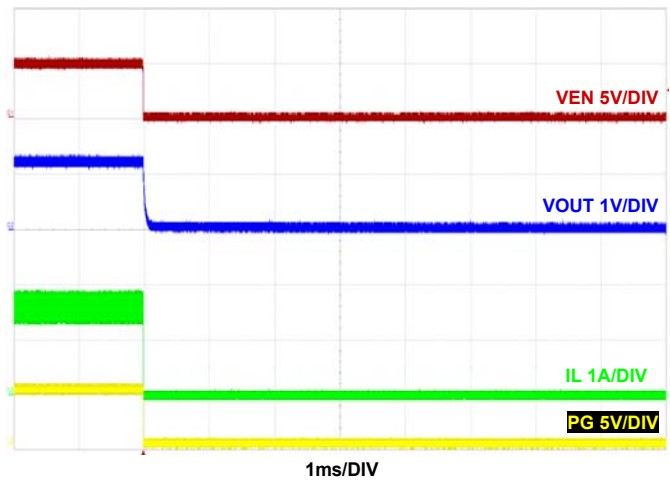


図 32. 1.5A 負荷時のシャットダウン
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

性能特性曲線 (続き)

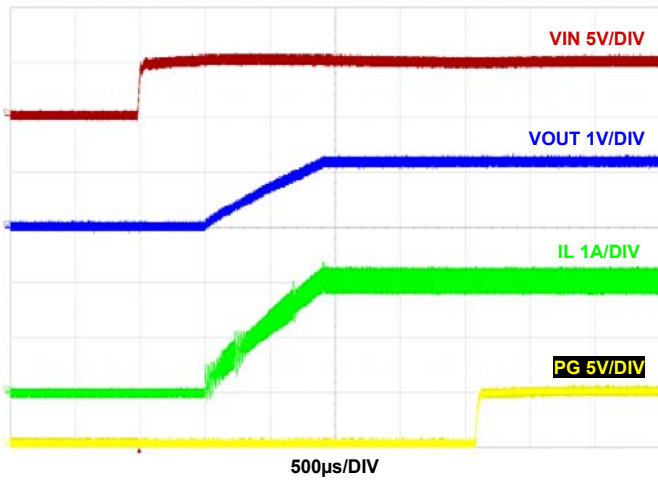


図 33. 2A 負荷時のスタートアップ V_{IN}
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

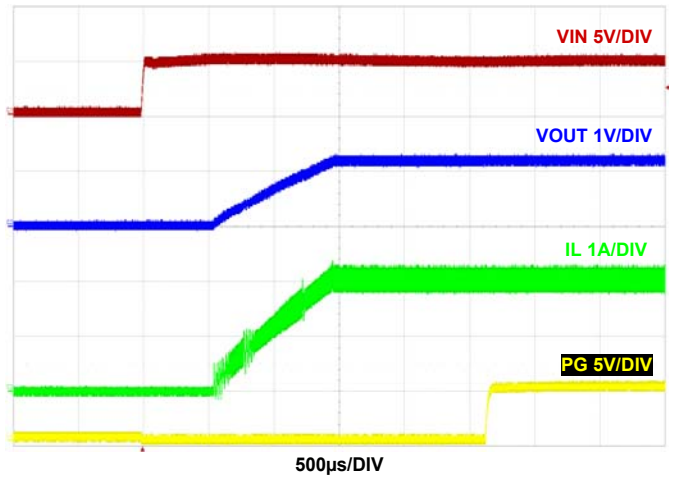


図 34. 2A 負荷時のスタートアップ V_{IN}
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

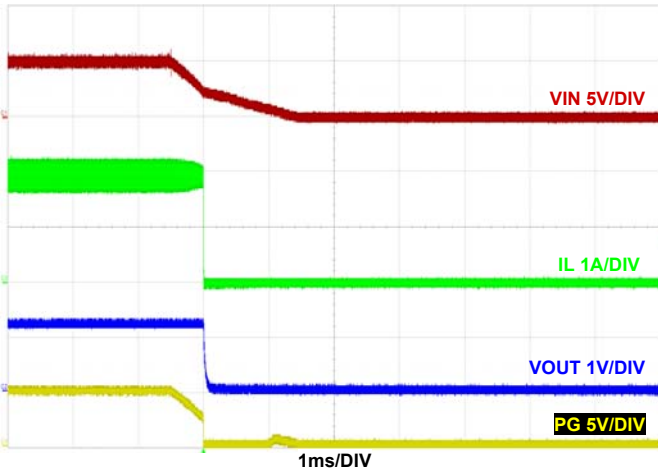


図 35. 2A 負荷時のシャットダウン V_{IN}
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

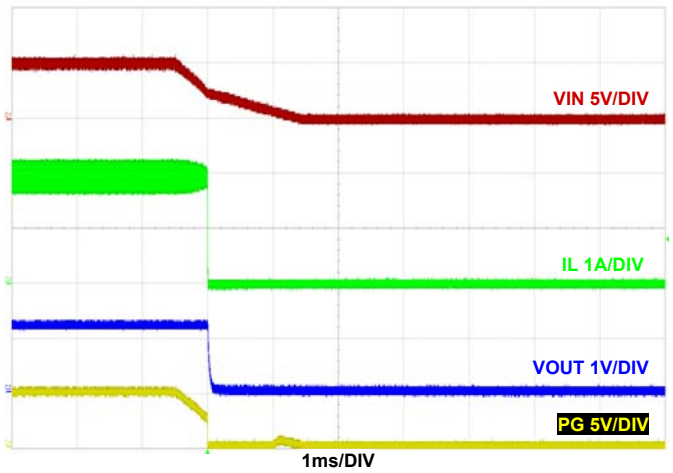


図 36. 2A 負荷時のシャットダウン V_{IN}
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

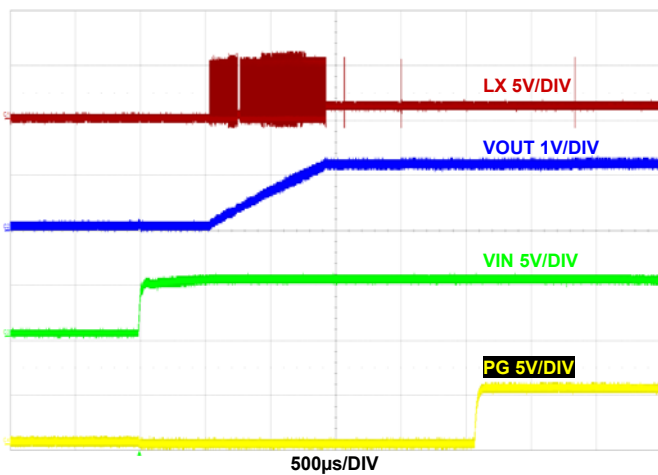


図 37. 無負荷時のスタートアップ V_{IN}
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

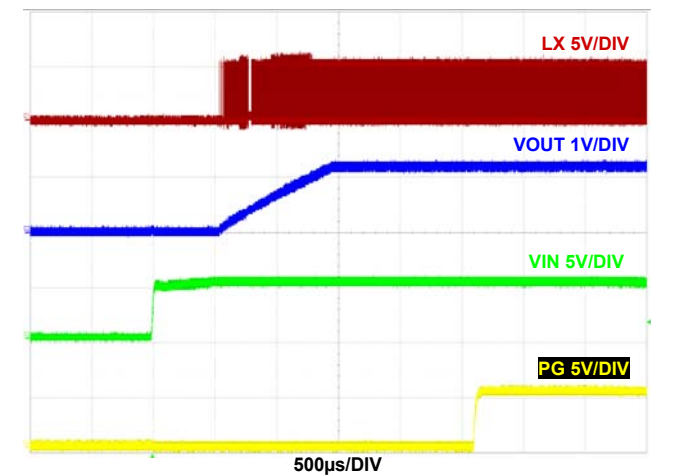


図 38. 無負荷時のスタートアップ V_{IN}
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

性能特性曲線 (続き)

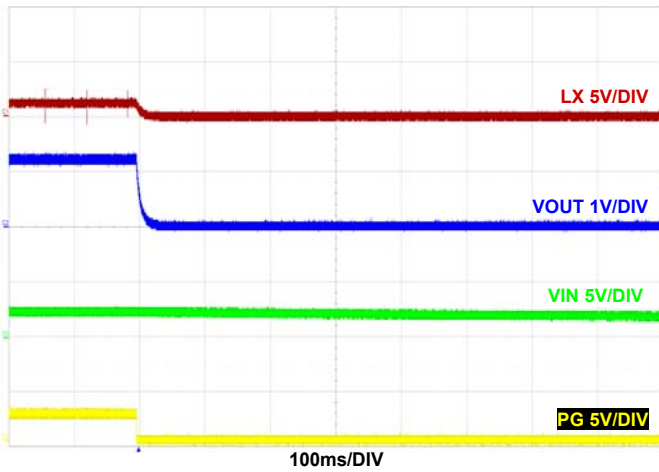


図 39. 無負荷時のシャットダウン V_{IN}
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

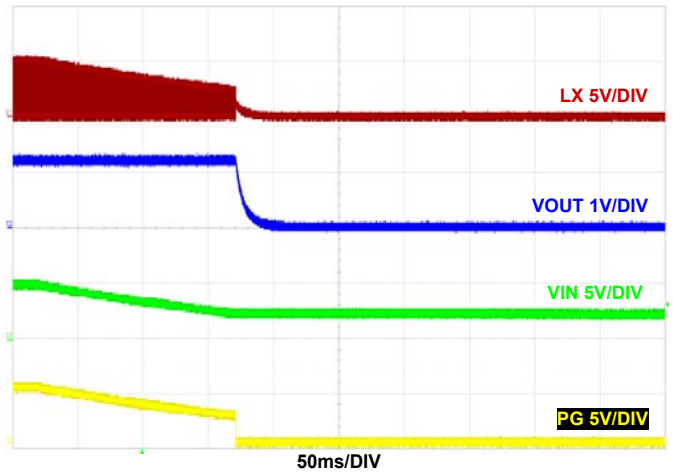


図 40. 無負荷時のシャットダウン V_{IN}
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

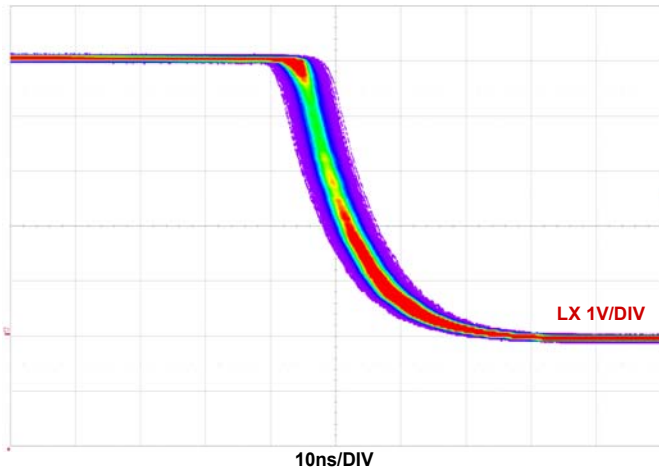


図 41. 無負荷時のジッタ
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

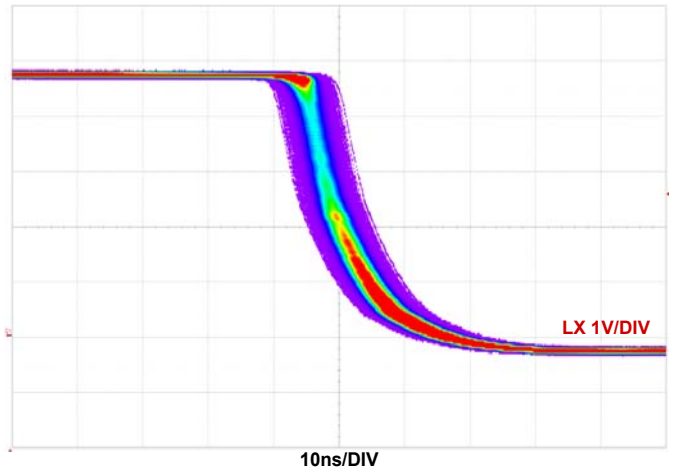


図 42. 全負荷時ジッタ
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

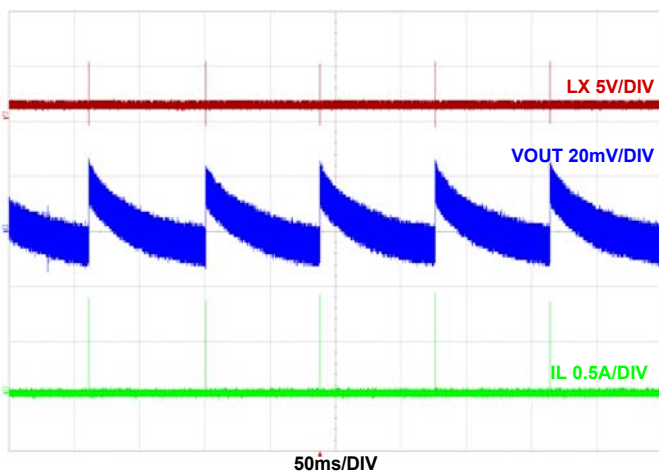


図 43. 無負荷時の定常状態
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

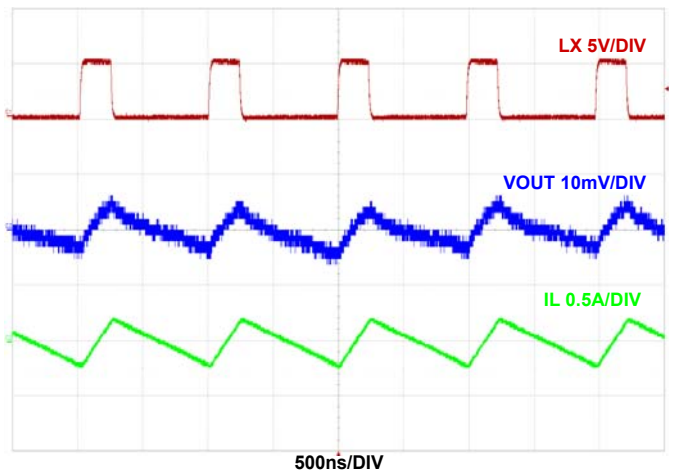


図 44. 無負荷時の定常状態
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

性能特性曲線 (続き)

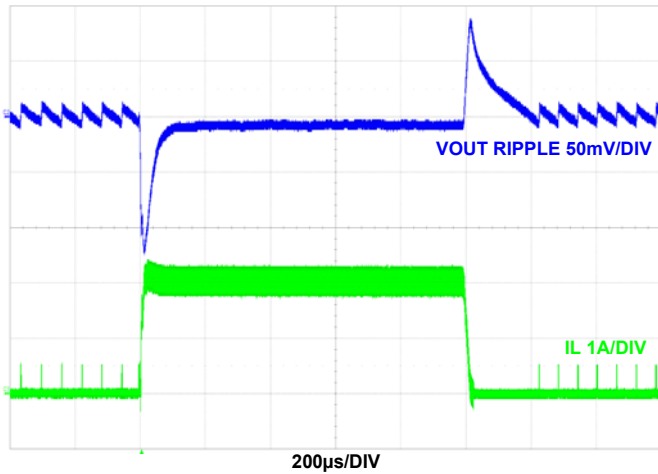


図 45. 負荷変動
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

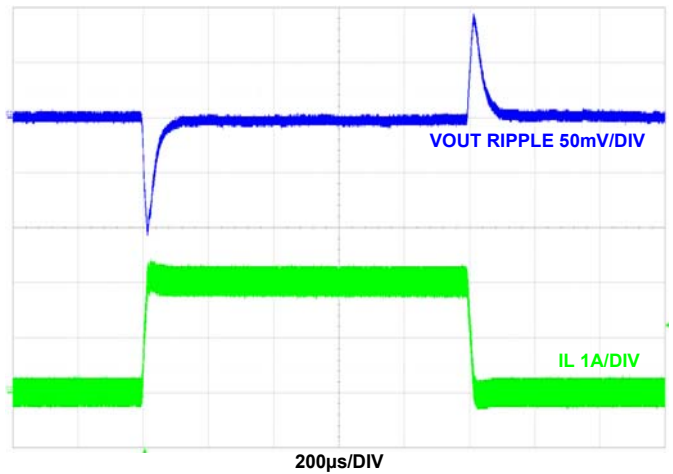


図 46. 負荷変動
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

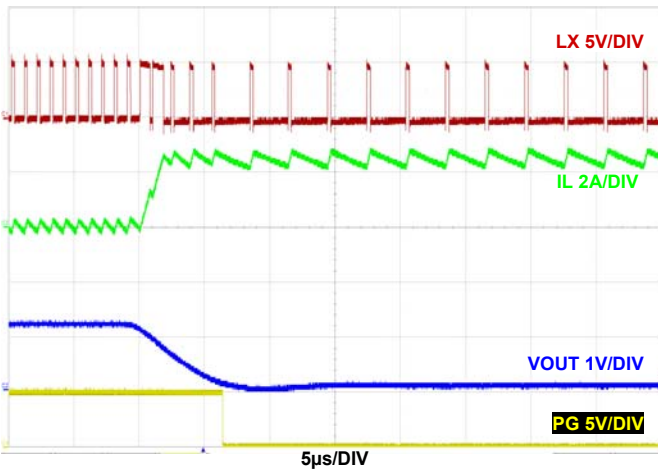


図 47. 出力短絡
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

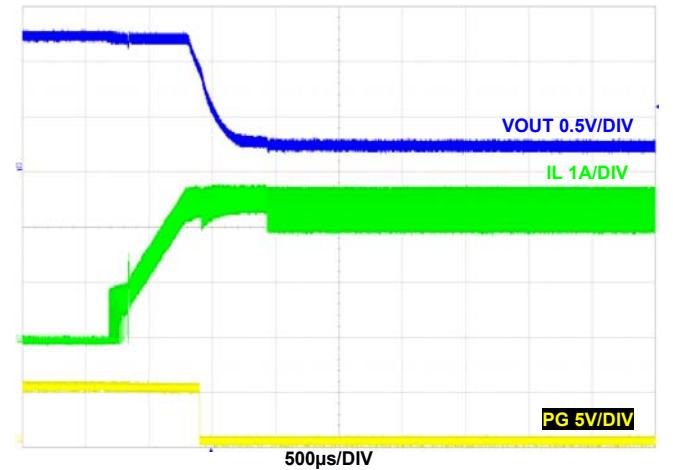


図 48. 過電流保護
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

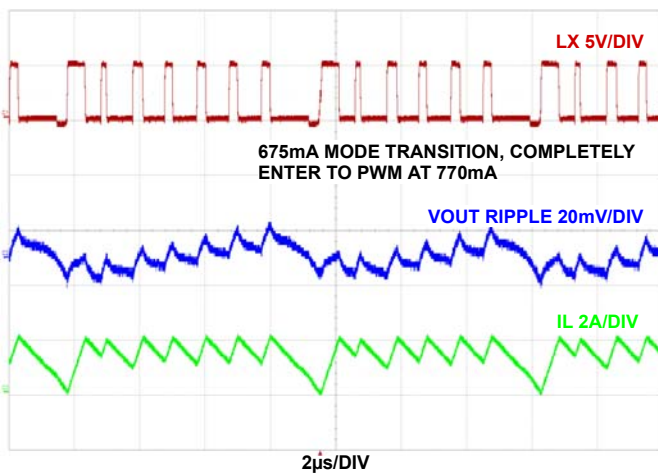


図 49. PFM から PWM への遷移
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

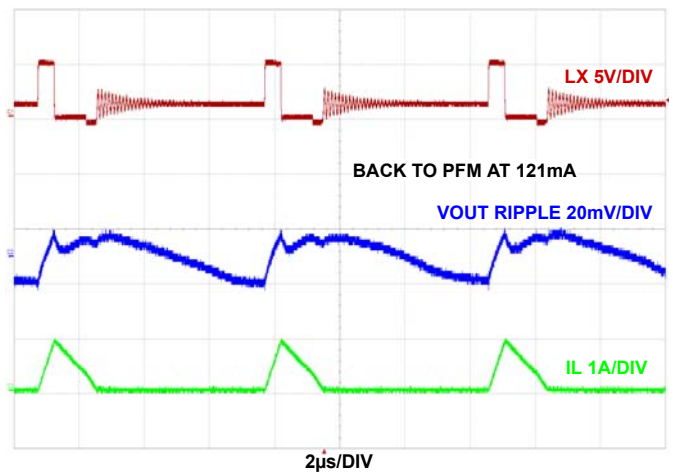


図 50. PWM から PFM への遷移
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +25^\circ\text{C}$

性能特性曲線 (続き)

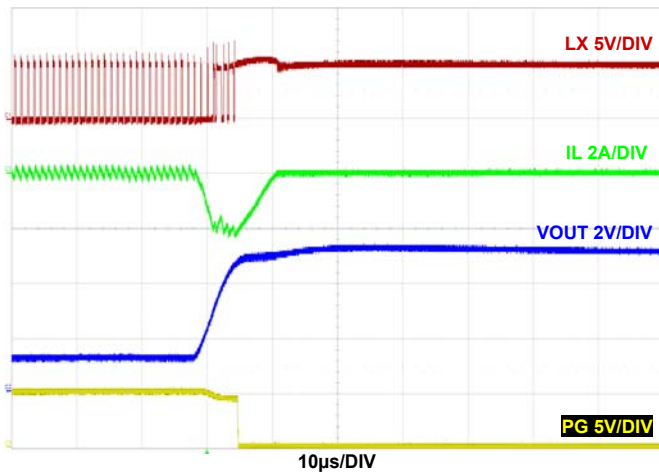


図 51. 過電圧保護
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PFM}$, $T_A = +25^\circ\text{C}$

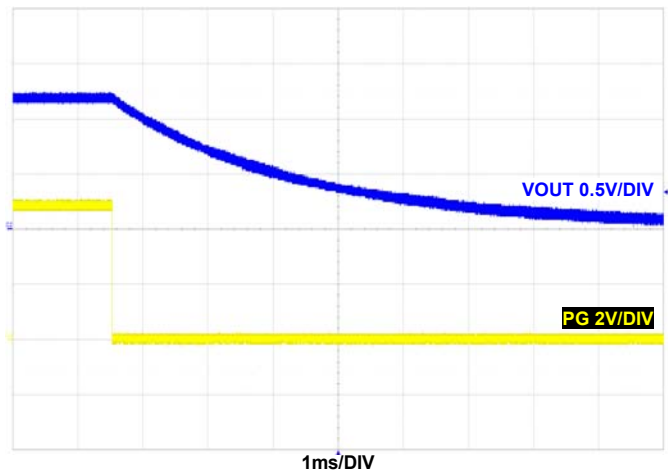


図 52. 過温度保護
 $F_{SW} = 2\text{MHz}$, $V_{IN} = 5\text{V}$, $\text{MODE} = \text{PWM}$, $T_A = +163^\circ\text{C}$

動作原理

本製品は、バッテリー駆動アプリケーションに最適化された降圧スイッチング・レギュレータです。高いスイッチング周波数 (1MHz または 2MHz) で動作するため、使用するインダクタを小型化でき、フォームファクタが小さくなり、効率も向上します。さらに、PFM モードの軽負荷時には、スイッチング周波数が小さくなり、スイッチング損失が最小限に抑えられ、バッテリー寿命が最大化されます。出力が無負荷のときの静止電流は代表値でわずか $35\mu\text{A}$ です。シャットダウン時の電源電流は代表値でわずか $5\mu\text{A}$ です。

PWM コントロール方式

MODE ピンにハイ信号 ($>2.5\text{V}$) を与えると、コンバータは出力電流にかかわらず強制的に PWM モードになります。本製品は、高速負荷応答とパルスごとの電流制限のため、電流モードパルス幅変調 (PWM) コントロール方式を採用しています。5 ページは、「機能ブロック図」を示しています。電流ループは、発振器、PWM コンパレータ、電流センス回路、電流ループの安定化に必要なスロープ補償回路によって構成されています。スロープ補償は $900\text{mV}/T_s$ で、周波数によって変化します。電流センス回路のゲインは代表値で $300\text{mV}/\text{A}$ です。電流ループの制御リファレンス値は、誤差アンプ (EAMP) の出力によって与えられます。

PWM 動作は、発振器のクロックによって開始します。PWM サイクルの開始時に P チャネル MOSFET がターンオンし、MOSFET を流れる電流が増加し始めます。電流アンプ CSA とスロープ補償の和が電流ループの制御リファレンス値に達すると、PWM コンパレータ COMP は、P-FET をターンオフし N チャネル MOSFET をターンオンする信号を PWM ロジックに送信します。PWM サイクルの終了時まで、N-FET はオンに保たれます。図 53 に、PWM 動作時の代表的な波形を示します。点線はスロープ補償ランプと電流センス・アンプの CSA 出力の和を示しています。

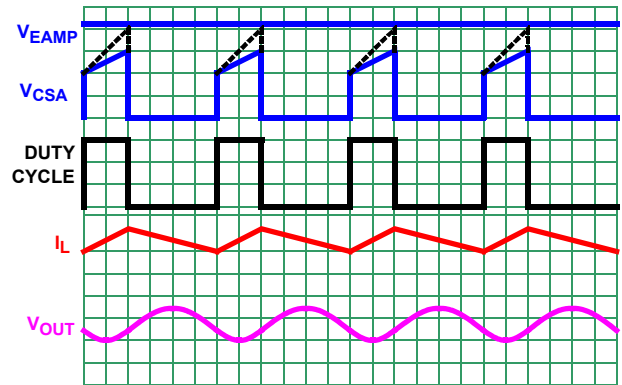


図 53. PWM 動作の波形

出力電圧のレギュレーションは、制御ループに与える V_{EAMP} 電圧を制御することで行われます。バンドギャップ回路によって、電圧ループには 0.6V のリファレンス電圧が与えられます。また、帰還信号は VFB ピンから与えられます。ソフトスタート・ブロックはスタートアップ時の動作のみに作用します。その詳細は後述します。誤差アンプは、電圧誤差信号を電流出力に変換するトランスコンダクタンス・アンプです。電圧ループは 27pF および $200\text{k}\Omega$ の RC ネットワークによって内部補償されています。最大 EAMP 電圧出力は、 1.6V で高精度にクランプされています。

PFM モード

MODE ピンにロー信号 ($<0.4\text{V}$) を与えると、コンバータは PFM モードになります。負荷が軽い場合パルス・スキップモードに移行し、スイッチング周波数を下げてスイッチング損失を最小限に抑えます。図 54 に、スキップモードの動作を示します。ゼロクロス・センス回路は、N-FET 電流をモニタリングし、ゼロクロスを検出します。インダクタ電流が 16 サイクル連続でゼロクロスしたことが検出されると、レギュレータはスキップモードに移行します。この 16 サイクルの検出中、インダクタ電流がゼロクロスしない場合、カウンタはリセットされます。

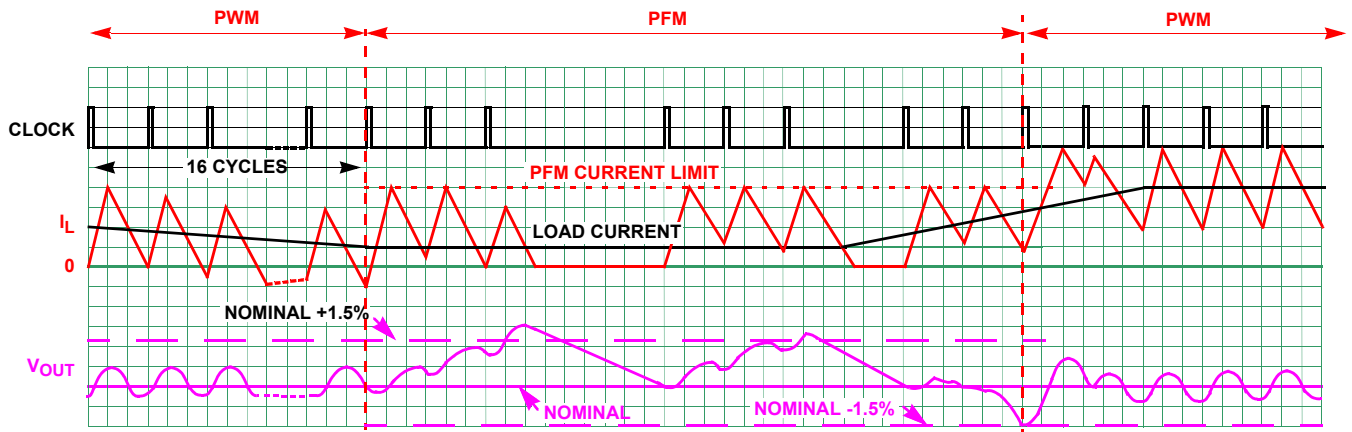


図 54. スキップモード動作の波形

スキップモードに移行すると、5 ページの「機能ブロック図」に示すように、パルス変調が SKIP コンパレータによって制御されるようになります。この時点でも各パルス・サイクルは PWM クロックに同期しています。P-FET はクロックの立ち上がりエッジでターンオンし、出力電圧が公称レギュレーション電圧の 1.5% を上回るか電流がピーク・スキップ電流リミット値に達するとターンオフします。インダクタ電流は放電によって 0A に下がり、その値を保ちます。内部クロックはディスエーブル状態になります。負荷電流によって出力コンデンサが放電されるため、出力電圧は緩やかに低下します。出力電圧が公称電圧まで下がると、P-FET は内部クロックの立ち上がりエッジで再びターンオンし、以上の動作を繰り返します。

出力電圧が公称電圧よりも 1.5% 低下すると、レギュレータは通常の PWM 動作に戻ります。

過電流保護

過電流保護は、5 ページの「機能ブロック図」に示すように、CSA 出力を OCP コンパレータでモニタリングすることで実現されます。電流センス回路は、P-FET 電流から CSA 出力に対して 300mV/A のゲインを持ちます。CSA 出力がスレッシュホールドに達すると、OCP コンパレータがトリップし、即座に P-FET をターンオフします。過電流保護機能は、ハイサイド MOSFET を流れる電流をモニタリングすることで、出力短絡からスイッチング・コンバータを保護します。

過電流条件を検出すると、ハイサイド MOSFET は即座にターンオフし、次のスイッチング・サイクルまで再びターンオンすることはありません。過電流条件が解消されると、ヒックアップモードの期限が切れた後、出力はレギュレーション・ポイントに戻ります。

短絡保護

短絡保護 (SCP) コンパレータは、VFB ピンの電圧をモニタリングし、出力短絡保護を行います。VFB ピンの電圧が 0.3V より低い場合、SCP コンパレータは強制的に PWM 発振器の周波数を通常の動作値の 1/3 に低下させます。このコンパレータは、スタートアップ中または出力短絡中に動作します。

負電流保護

過電流保護と同様、負電流保護は、5 ページの「機能ブロック図」に示すように、ローサイド N-FET を流れる電流をモニタリングすることで実現されます。インダクタ電流の谷点が連続 2 サイクルにわたって -1.5A に達した場合、P-FET と N-FET の両方がシャットオフします。N-FET と並列に接続された 100Ω 抵抗が、レギュレーション状態に向けて出力の放電を開

始します。出力がレギュレーション状態に入ると制御が切り替わり始めます。レギュレータは、PWM モードに切り替わる前に、必要に応じて 20μs の間 PFM モードになります。

パワーグッド

パワーグッド (PG) は、降圧レギュレータの出力電圧を継続的にモニタリングするウィンドウ・コンパレータのオープン・ドレイン出力です。EN が Low のときや、降圧レギュレータのソフトスタート期間中は、PG が Low に維持されます。ソフトスタート期間の終了から 1ms 遅れて、PG はハイ・インピーダンスになり、出力電圧が VFB で設定された公称レギュレーション電圧以内にある間はその状態が維持されます。VFB が公称レギュレーション電圧の ±15% の範囲を下回るか上回った時点で PG が Low になります。フォルト状態発生時には、ソフトスタートの試行によってフォルト状態がクリアされるまで、PG が強制的に Low に維持されます。内蔵されている 5MΩ のプルアップ抵抗は、ほとんどのアプリケーションに適しています。より大きなプルアップ抵抗が必要な場合、PG と VIN の間に外付け抵抗を追加できます。

アンダーボルテージ・ロックアウト

入力電圧がアンダーボルテージ・ロックアウト (UVLO) スレッシュホールドを下回ると、レギュレータがディスエーブルされます。

イネーブル、ディスエーブル、ソフトスタート

VIN ピンの電圧が立ち上がり POR トリップ・ポイント (代表値 2.7V) を超えると、本製品は動作を開始します。EN ピンが外部的に Low に維持されている場合は、EN ピンが開放されるまで動作は開始されません。EN ピンが開放され、ロジック・スレッシュホールドを上回った後、デフォルトの内部ソフトスタート時間は 1ms です。

放電モード (ソフトストップ)

シャットダウン・モードへの移行が起こったとき、または VIN UVLO が設定されたとき、内部 100Ω スイッチによって出力が放電され GND になります。

100% のデューティ・サイクル (1MHz バージョン)

本製品は、バッテリー寿命をできる限り長くするため、100% のデューティ・サイクル動作を特徴としています。本製品が出力レギュレーション状態を保てないほどバッテリー電圧が下がった場合、レギュレータは P-FET を完全にターンオンします。100% デューティ・サイクル動作における最大ドロップアウト電圧は、負荷電流と P-FET のオン抵抗の積で求められます。

サーマル・シャットダウン

本製品には、熱に対する保護機能が内蔵されています。内部温度が +150 °C に達すると、レギュレータは完全にシャットダウンされます。温度が +125 °C まで低下すると、本製品はソフトスタートで徐々に動作を再開します。

アプリケーション情報

出力インダクタとコンデンサの選択

定常状態動作と過渡応答を考慮して、ISL8002A/ISL80019A では 1.2µH (代表値)、ISL8002/ISL80019 では 2.2µH (代表値) の出力インダクタが要求されます。コンバータ全体のシステム性能を高めるためにこれを上回るか、下回るインダクタンス値を使用してもかまいません。たとえば、出力電圧が 3.3V と高めのアプリケーションの場合、インダクタのリプル電流と出力電圧リップルを抑制するために、出力インダクタの値を大きくすることができます。最適なパフォーマンスを実現するには、インダクタのリプル電流は最大出力電流の約 30% に設定することを推奨します。インダクタのリプル電流は、式 2 で表されます。

$$\Delta I = \frac{V_O \cdot \left(1 - \frac{V_O}{V_{IN}}\right)}{L \cdot F_{SW}} \quad (\text{式 2})$$

インダクタの飽和電流定格は、少なくともピーク電流より大きくなければなりません。

本製品は内部補償ネットワークを使用するため、出力コンデンサの値は出力電圧に依存します。セラミック・コンデンサは X5R または X7R を推奨します。

出力電圧の選択

レギュレータの出力電圧は、外付けの抵抗分圧回路で設定します。この分圧回路は、内部リファレンス電圧を基準とする出力電圧の比を定めて、誤差アンプの反転入力に帰還する役割を担います。図 35 を参照してください。

出力電圧設定抵抗 R_2 は、帰還抵抗に選択された値とレギュレータの出力電圧として得たい値によって決まります。帰還抵抗の値は、式 3 に示すように、代表値で 10kΩ ~ 100kΩ です。

$$R_1 = R_2 \left(\frac{V_O}{V_{FB}} - 1 \right) \quad (\text{式 3})$$

出力電圧として得たい値が 0.6V の場合、 R_2 は未実装とし、 R_1 を短絡します。VIN から LX にリーク電流があります。あらかじめ、出力に最低 10µA の負荷をかけておくことを推奨します。パフォーマンスを向上するためには、 R_1 と並列に 22pF を追加してください。アプリケーションで使用する前にループ解析を確認してください。

入力コンデンサの選択

入力コンデンサの主な機能は、寄生インダクタンスとのデカップリングと、スイッチング電流がバッテリー・レールに逆流しないようにフィルタすることです。入力コンデンサの選択にあたっては、スタートポイントとして、22µF の X5R または X7R セラミック・コンデンサを少なくとも 2 個設けてください。

出力コンデンサの選択

出力コンデンサは、インダクタ電流のフィルタリングに必要です。出力コンデンサの選択においては、出力リップル電圧と過渡応答という 2 つの重要な要素を考慮する必要があります。

す。電流モード制御ループを使用すると、低 ESR セラミック・コンデンサを使用できるようになり、省スペースな基板レイアウトを実現できます。電解コンデンサやポリマー・コンデンサも使用できます。

セラミック・コンデンサの場合、その他に考慮事項があります。セラミック・コンデンサは全体的なパフォーマンスと信頼性に優れていますが、回路内の実際の容量を考慮する必要があります。セラミック・コンデンサの定格は、大きなピーク・ツー・ピーク電圧変動と DC バイアスなしの条件で決定されています。DC/DC コンバータのアプリケーションでは、これらの条件は現実を反映していません。その結果、実際の容量は公示されている値を大きく下回ることがあります。メーカーのデータシートを確認し、実際のアプリケーション内の容量を計算してください。ほとんどのメーカーは、容量と DC バイアスの関係を公表しているため、その影響を簡単に考慮できます。AC 電圧の影響はあまり公開されることはありませんが、多くの場合、さらに約 20% 減少すると仮定すれば十分でしょう。以上を考慮することで、実効容量が定格値を 50% 下回ることも珍しくありません。それでも、信頼性が高く、ESR が極めて低いセラミック・コンデンサは、多くのアプリケーションで非常に良い選択であることに変わりはありません。

次の式を使用することで、求められるリップル電圧レベルを満たすために必要な容量を計算できます。追加容量を使用できます。

セラミック・コンデンサ (低 ESR) の場合 =

$$V_{OUT\text{Tripple}} = \frac{\Delta I}{8 \cdot F_{SW} \cdot C_{OUT}} \quad (\text{式 4})$$

ここで、 ΔI は、インダクタのピーク・ツー・ピーク・リップル電流、 F_{SW} はスイッチング周波数、 C_{OUT} は出力コンデンサです。

電解コンデンサを使用した場合、

$$V_{OUT\text{Tripple}} = \Delta I \cdot ESR \quad (\text{式 5})$$

過渡応答の要件については、初めに、負荷が突然除去された場合に V_{OUT} に許容されるオーバーシュートを決定することをお勧めします。その場合、インダクタに保存されたエネルギーが C_{OUT} に伝達され、電圧が上昇します。リップルの要件と過渡応答の要件の両方に必要な容量を計算した後、計算結果のうち大きい方を選択してください。次の式により、レギュレーション状態の電圧に対応する望ましいオーバーシュート値を実現するために必要な出力コンデンサの値を決定できます。

$$C_{OUT} = \frac{I_{OUT}^2 \cdot L}{V_{OUT}^2 \cdot (V_{OUTMAX}/V_{OUT})^2 - 1} \quad (\text{式 6})$$

ここで、 V_{OUTMAX}/V_{OUT} は、負荷除去中に許容される相対的な最大オーバーシュートです。5% のオーバーシュートを実現したい場合、式は次のようになります。

$$C_{OUT} = \frac{I_{OUT}^2 \cdot L}{V_{OUT}^2 \cdot (1.05^2 - 1)} \quad (\text{式 7})$$

ループ補償設計

COMP が VDD に接続されていないとき、COMP ピンは外部ループ補償に対応できます。ISL8002、ISL8002A、ISL80019、ISL80019A は、定周波数ピーク電流モード制御アーキテク

チャを使用して、高速化と応答を実現しています。ハイサイド MOSFET と並列に接続された高精度な電流センス・パイロット・デバイスが、ピーク電流制御信号と過電流保護に使用されます。インダクタは、ピーク電流が固定のため状態変数とはみなされず、システムは1次系になります。電圧モード制御を実装するよりも、タイプII補償器を設計してループを安定化の方がずっと簡単です。ピーク電流モード制御は、入力電圧フィードフォワード機能を内蔵しており、優れたライン・レギュレーションを達成できます。図55は、同期整流型降圧レギュレータの小信号モデルを示しています。

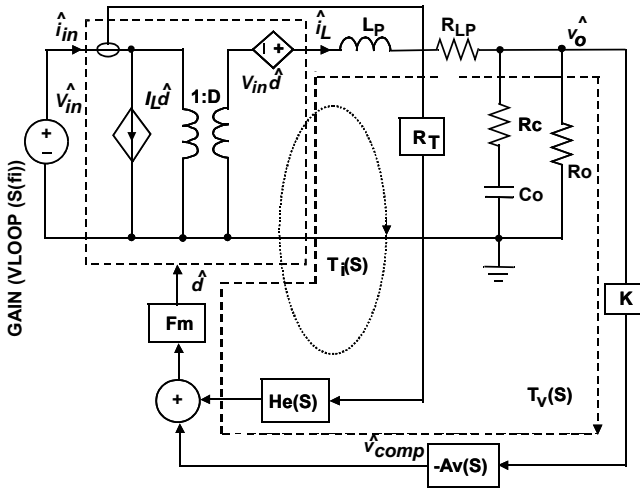


図 55. 同期整流型降圧レギュレータの小信号モデル

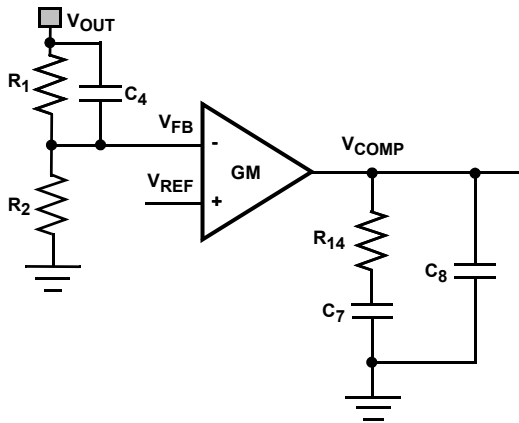


図 56. タイプII補償器

図56は、タイプII補償器を示しており、その伝達関数を式8に示します。

$$A_v(S) = \frac{\hat{v}_{comp}}{\hat{v}_{fb}} = \frac{GM \cdot R_2}{(C_7 + C_8) \cdot (R_1 + R_2)} \frac{\left(1 + \frac{S}{\omega_{cz1}}\right) \left(1 + \frac{S}{\omega_{cz2}}\right)}{S \left(1 + \frac{S}{\omega_{cp1}}\right) \left(1 + \frac{S}{\omega_{cp2}}\right)} \quad (式 8)$$

ここで、

$$\omega_{cz1} = \frac{1}{R_{14} C_7}, \quad \omega_{cz2} = \frac{1}{R_1 C_4}, \quad \omega_{cp1} = \frac{C_7 + C_8}{R_{14} C_7 C_8}, \quad \omega_{cp2} = \frac{R_1 + R_2}{C_4 R_1 R_2}$$

補償器の設計目標

- 高い DC ゲイン
- 100kHz 未満のループ帯域幅 f_c を選択
- ゲイン・マージン : >10dB
- 位相マージン : >50°

補償器の設計手順は、次のとおりです。

f_c のクロスオーバー周波数におけるループ・ゲインはユニティゲインを持ちます。そのため、補償器の抵抗 R_{14} は式9によって求められます。

$$R_{14} = \frac{2\pi f_c V_o C_o R_t}{GM \cdot V_{FB}} = 26 \times 10^3 \cdot f_c V_o C_o \quad (式 9)$$

ここで、GM は誤差アンプのトランスコンダクタンスです。

次に、補償器コンデンサ C_7 および C_8 は、式10および式11によって与えられます。

$$C_7 = \frac{R_o C_o}{R_{14}} = \frac{V_o C_o}{I_o R_{14}} \quad (式 10)$$

$$C_8 = \max\left(\frac{R_c C_o}{R_{14}}, \frac{1}{\pi f_s R_{14}}\right) \quad (式 11)$$

オプションのゼロにより、位相マージンが増えます。 R_1 と C_4 により、 ω_{CZ2} はゼロになります。

補償器のゼロを f_c の2～5倍にします。

$$C_4 = \frac{1}{\pi f_c R_1} \quad (式 12)$$

例: $V_{IN} = 5V$, $V_{OUT} = 1.8V$, $I_O = 2A$, $F_{SW} = 1MHz$, $R_1 = 200k\Omega$, $R_2 = 100k\Omega$, $C_{OUT} = 2 \times 22\mu F / 3m\Omega$, $L = 2.2\mu H$, $f_c = 100kHz$ の場合、補償器の抵抗 R_{14} は次のようになります。

$$R_{14} = 26 \times 10^3 \cdot 100kHz \cdot 1.8V \cdot 44\mu F = 205k\Omega \quad (式 13)$$

R_{14} 値には最も近い標準値を使えば十分です (200kΩ)。

$$C_7 = \frac{1.8V \cdot 44\mu F}{2A \cdot 200k\Omega} = 198pF \quad (式 14)$$

$$C_8 = \max\left(\frac{3m\Omega \cdot 44\mu F}{200k\Omega}, \frac{1}{\pi \cdot 1MHz(200k\Omega)}\right) = (1pF, 2.3pF) \quad (式 15)$$

C_7 と C_8 にも最も近い標準値を使えば十分です。 V_{COMP} と GND の間に約 3pF の寄生容量があるため、 C_8 はオプションです。 $C_7 = 220pF$ および $C_8 = OPEN$ を使用します。

$$C_4 = \frac{1}{\pi 100kHz \cdot 200k\Omega} = 16pF \quad (式 16)$$

$C_4 = 15pF$ を使用します。 C_4 により、先に見積もった値よりもループ帯域幅が増加する可能性があることに注意してください。図57は、電圧ループ・ゲインのシミュレーション結果を示しています。52°の位相マージン、10dBのゲイン・マージンで、114kHzのループ帯域幅を持つことがわかります。位相マージンをもっと大きくすることが必要な場合があります。その場合、 R_{14} を20%～50%小さくします。

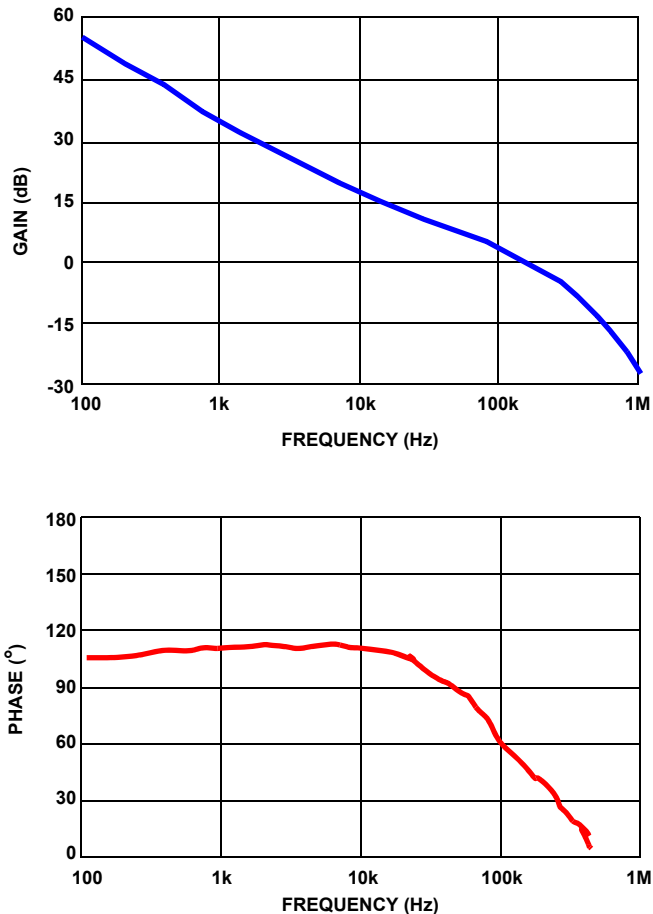


図 57. ループ・ゲインのシミュレーション結果

レイアウトに関する考慮事項

設計したコンバータが正常に動作するには、コンバータの設計手順において PCB レイアウトが極めて重要な役割を果たします。パワー・ループは出力インダクタ L、出力コンデンサ C_{OUT}、PHASE の各ピン、PGND ピンで構成されます。パワー・ループはできる限り小さくするとともに、それらを接続するトレースは迂回させず、最短かつ幅広に設計する必要があります。コンバータのスイッチング・ノード、PHASE ピン、ノードに接続されたトレースは多くのノイズを含んでいるため、電圧帰還トレースはこれらのトレースから離してルーティングしてください。入力コンデンサは VIN ピンのできるだけ近くに配置します。また、入力コンデンサのグラウンドと出力コンデンサのグラウンドは、できるだけ近くに接続します。IC の発熱は、主にサーマルパッドから拡散します。サーマルパッドに接続される銅部分の面積をできる限り大きくすることを推奨します。また、EMI 性能を高めるにはベタグラウンド層が有効です。放熱を高めるために、少なくとも4個のビアのグラウンド接続をパッド内に設けてください。

改訂履歴

この改訂履歴は参考情報として掲載するものであり、正確を期すように努めていますが、内容を保証するものではありません。最新のデータシートについてはインターシルのウェブサイトをご覧ください。

日付	レビジョン	変更点
2013年7月30日	FN7888.2	6 ページの注文情報を更新。 9 ページの「性能特性曲線」に図 12、13、14 を追加。 7 ページの「電気的特性」の「OUTPUT REGULATION」セクションの「VFB Bias Current」で重複していた「TJ = -40 °C to +125 °C」を削除し、「Line Regulation」に挿入。
2013年6月13日		5 ページの「機能ブロック図」で、VFB を VREF に変更。 6 ページの注文情報の製品型番を ISL80019FRZ-T から ISL80019FZ-T に変更。 7 ページの「推奨動作条件」で「周囲温度」を「ジャンクション温度」に変更。 7 ページの「電気的特性」で 「TA -40 to +85」を「TJ -40 to +125」に変更。 「OUTPUT REGULATION」セクションの「VFB Bias Current」において、「TEST CONDITIONS」を 0.75V から 2.7V に変更、「MIN」は -120、「TYP」は 50、「MAX」は 350 に変更 20 ページのタイプ II 補償器の図で、VFB を VREF に変更。
2013年5月10日		4 ページの「ピンの説明」の「EN」セクションで、ピン電圧の上昇を 0.6V から 1.4V に変更。
2013年1月7日	FN7888.1	初版

インターシルについて

インターシルは、革新的なパワーマネジメントと高精度アナログ・ソリューションのプロバイダとして世界をリードしています。インターシルの製品は、産業用機器/インフラ、モバイル・コンピューティング、ハイエンド・コンシューマの分野で特に規模の大きな市場向けに開発されています。インターシルの詳細については、ウェブサイト www.intersil.com を参照してください。

最新のデータシート、アプリケーションノート、関連ドキュメント、関連製品については、www.intersil.com の各製品情報ページを参照してください。本データシートに対するご意見は www.intersil.com/en/support/ask-an-expert.html へお寄せください。信頼性に関するデータもウェブサイト <http://www.intersil.com/en/support/qualandreliability.html#reliability> に掲載されています。

そのほかの製品については www.intersil.com/product_tree/ を参照してください。

インターシルは、www.intersil.com/design/quality/ に記載の品質保証のとおり、ISO9000 品質システムに基づいて、製品の製造、組み立て、試験を行っています。

インターシルは、製品を販売するにあたって、製品情報のみを提供します。インターシルは、いかなる時点においても、予告なしに、回路設計、ソフトウェア、仕様を変更する権利を有します。製品を購入されるお客様は、必ず、データシートが最新であることをご確認ください。インターシルは正確かつ信頼に足る情報を提供できるよう努めていますが、その使用に関して、インターシルおよび関連子会社は責を負いません。また、その使用に関して、第三者が所有する特許または他の知的所有権の非侵害を保証するものではありません。インターシルおよび関連子会社が所有する特許の使用権を暗黙的または他の方法によって与えるものではありません。

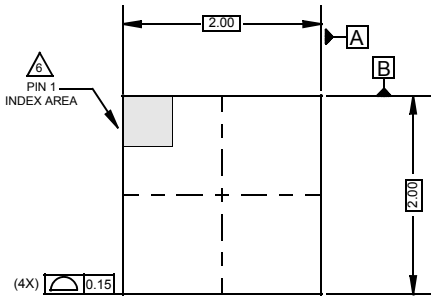
インターシルの会社概要については www.intersil.com をご覧ください。

パッケージ寸法図

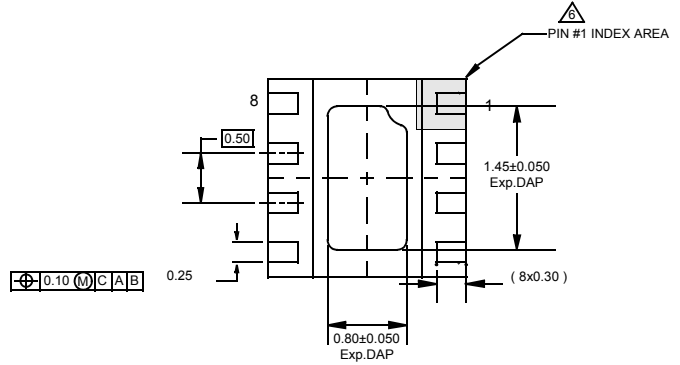
L8.2x2C

8 LEAD THIN DUAL FLAT NO-LEAD PLASTIC PACKAGE (TDFN) WITH E-PAD

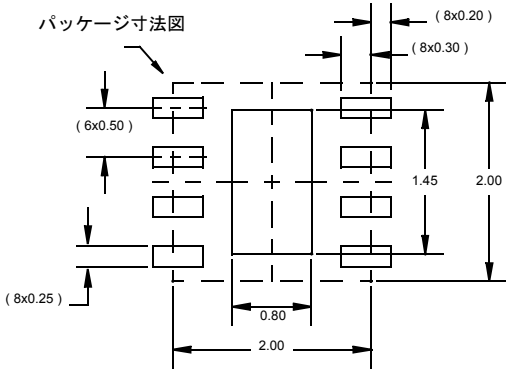
Rev 0, 07/08



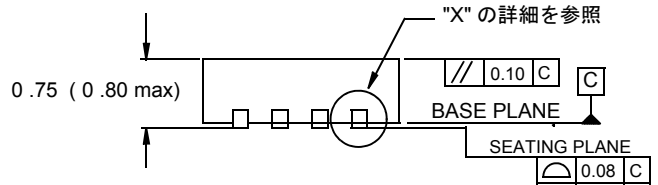
上面図



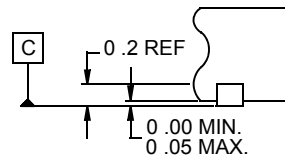
底面図



推奨ランドパターン例



側面図



"X"の詳細

NOTE:

1. 寸法の単位は mm です。
() 内の寸法は参考値です。
2. 寸法と公差は AMSE Y14.5m-1994 に従っています。
3. 特記のない限り、公差は Decimal ± 0.05 です。
4. 寸法 b は、金属化ターミナルに適用され、ターミナルの先端から 0.15mm ~ 0.30mm の間で測定されます。
5. タイバー(示されている場合)は非機能性です。
6. 1 ピンの識別子はオプションですが、表示されているゾーン内に配置されます。1 ピンの識別子はモールドまたはマーキングで示されます。